

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
"ХАРЬКОВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ"

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
К ЛАБОРАТОРНЫМ РАБОТАМ**
по курсу "Основы электроники" (часть 2)
для студентов специальности 7.091302
"Метрология и измерительная техника"
дневной и заочной форм обучения

Харьков 2003

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
К ЛАБОРАТОРНЫМ РАБОТАМ**
по курсу "Основы электроники" (часть 2)
для студентов специальности 7.091302
"Метрология и измерительная техника"
дневной и заочной форм обучения

Утверждено
редакционно-издательским
советом университета,
протокол №

Харьков НТУ "ХПИ" 2003

Методичні вказівки до лабораторних робіт з курсу "Основи електроніки" (частина 2), для студентів спеціальності 7.091302 "Метрологія та вимірювальна техніка" денної та заочної форм навчання /Уклад. Л.К. Ніконов, О.П. Давиденко, Р.П. Мигущенко, А.С. Комірний – Харків: НТУ "ХПІ", 2003.– 66 с. – Рос. мовою

Укладачі: Л.К. Ніконов
О.П. Давиденко,
Р.П. Мигущенко,
А.С. Комірний

Рецензент Т.Г. Осіна

Кафедра вимірювально-інформаційної техніки

ЛАБОРАТОРНАЯ РАБОТА №1

"ИССЛЕДОВАНИЕ ЛОГИЧЕСКОГО ЭЛЕМЕНТА "И-НЕ" ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ "

Цель работы: закрепление и углубление лекционного материала по логическим элементам (ЛЭ) транзисторно-транзисторной логики (ТТЛ); приобретение практических навыков в контроле функционирования, снятии характеристик и определении параметров логических элементов.

1 ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

Лабораторная установка для исследования цифровых структур комбинационного и последовательного типов состоит из универсального лабораторного макета и осциллографа.

Лабораторный макет, рабочая панель которого представлена на рисунке 1.1, включает формирователь управляющих сигналов, коммутатор каналов, цифровой индикатор логического уровня, микроамперметр и наборное поле.

Формирователь управляющих сигналов, собранный на интегральных логических элементах И-НЕ (рис.1.2), осуществляет выработку управляющих и контрольных импульсных сигналов заданной амплитуды, регулируемых по длительности "длит. имп. SRT" и задержке "задержка", а также формирование сигналов постоянного логического уровня "0" и "1". Управляющие сигналы выведены на спаренные гнезда: "1", \overline{S} , \overline{R} , \overline{T} , $\overline{\bar{S}}$, $\overline{\bar{R}}$, "0", "C".

Коммутатор – четырехканальный с выводом входов на гнезда: "Каналы" 1, 2, 3, 4, с регулируемым смещением каналов по вертикали – "Смещение" (рис.1.3). Подключая выходы формирователя управляющих сигналов к входам каналов коммутатора, на экране однолучевого осциллографа одновременно можно наблюдать четыре вида сигналов на четырех развертках луча. Взаимное смещение наблюдаемых сигналов по вертикали осуществляется выведенными на переднюю панель ручками – "Смещение".

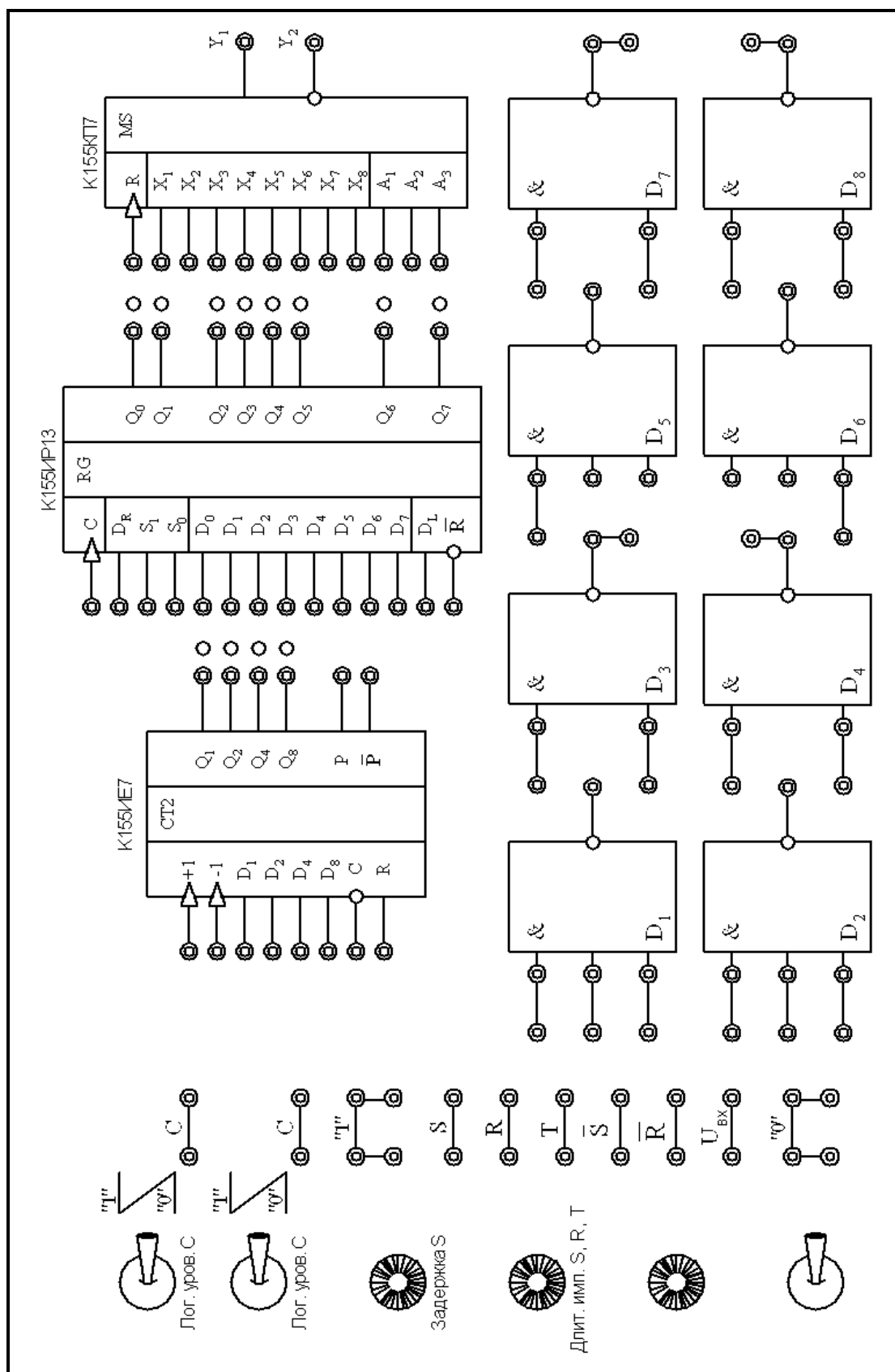


Рисунок 1.1- Рабочая панель лабораторного макета

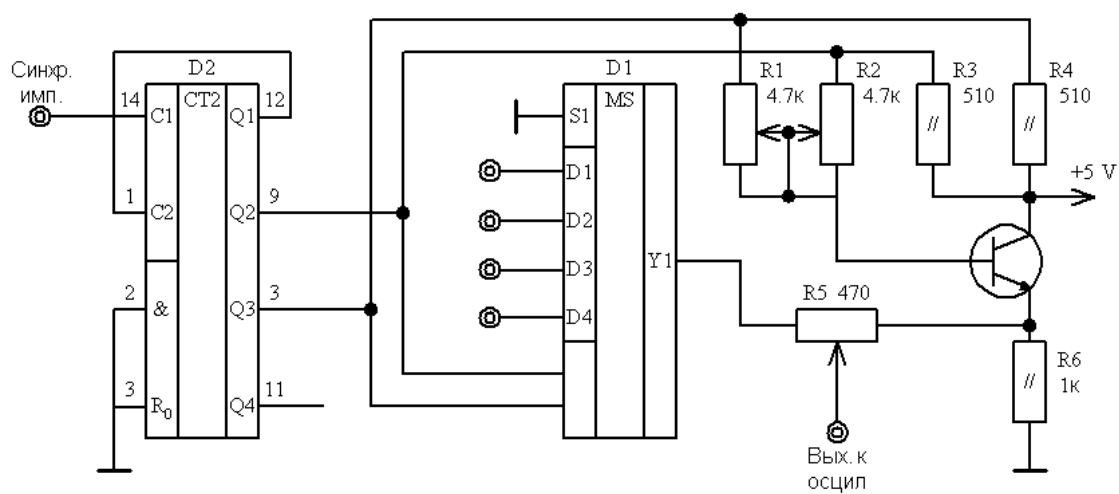
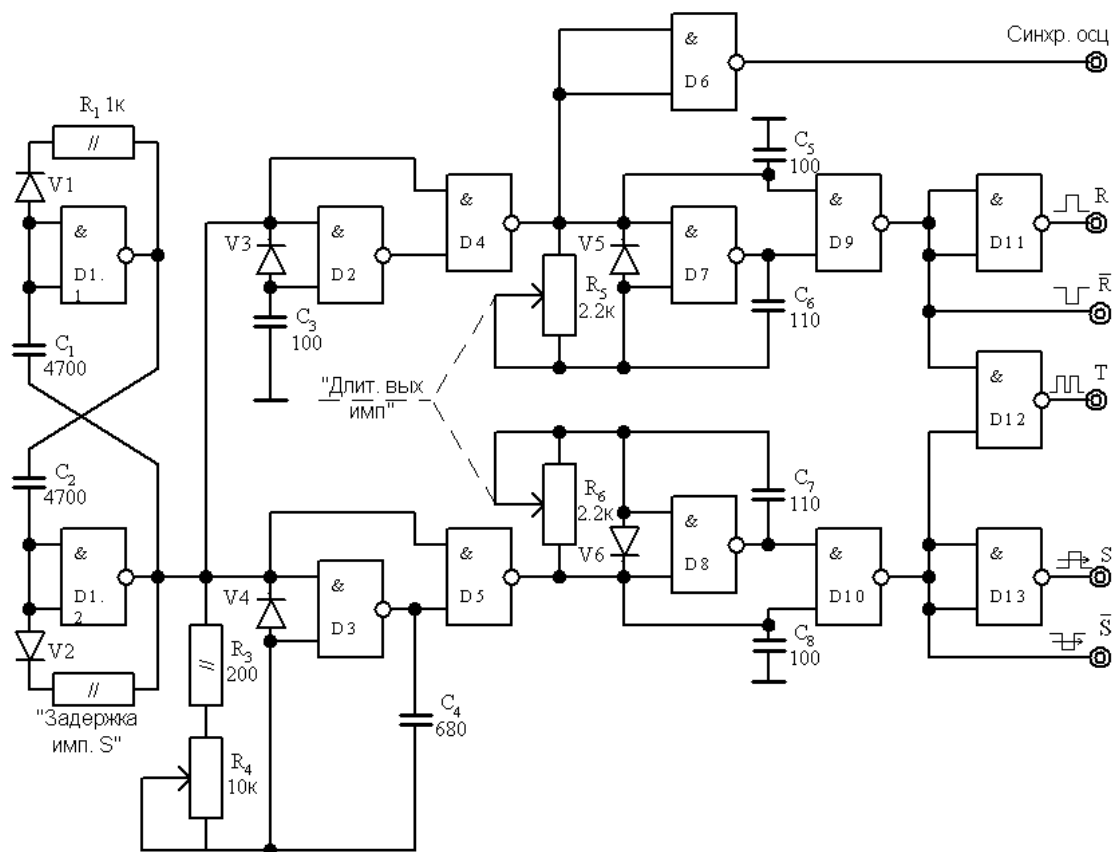


Рисунок 1.2 - Схема электронного формирователя импульсов

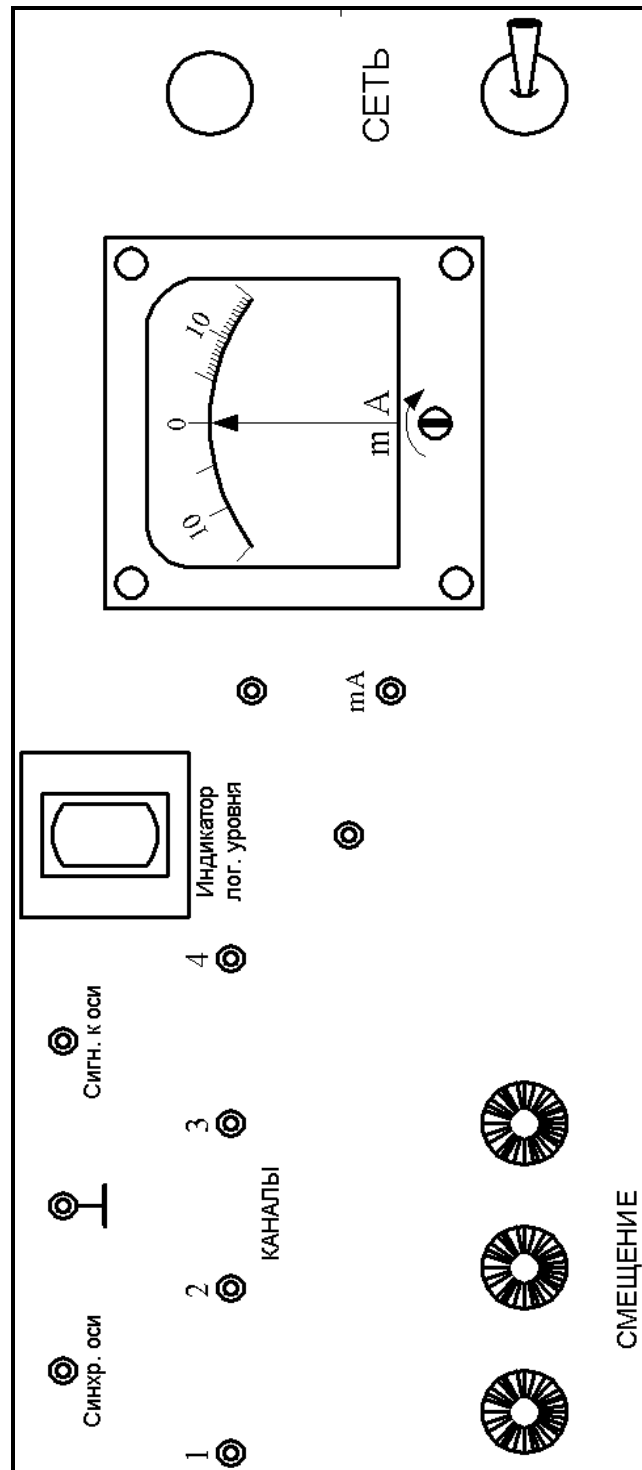


Рисунок 1.3 - Вертикальная панель лабораторного макета

Датчик логических уровней - "**Лог. уровень С**" позволяет при помощи тумблера производить установку уровней напряжения в гнезде "С", равных логической единице "1" или логическому нулю "0".

Цифровой индикатор логического уровня - "**Индикатор лог. уровня**" позволяет контролировать работу формирователя управляющих сигналов, логических элементов, комбинационных схем, триггеров, счетчика импульсов, коммутатора и регистра, высвечивая логический уровень "1" или "0" при подключении его входа к соответствующим точкам исследуемых схем.

Наборное поле состоит из счетчика импульсов К155ИЕ7, коммутатора К155КП7, регистра К155ИР13 и восьми логических элементов И-НЕ 155 серии: четырех трехвходовых ЛЭ И-НЕ и четырех двухвходовых ЛЭ И-НЕ. Система контактных гнезд и соединительных проводов позволяет подавать на входы исследуемых интегральных схем необходимые сигналы и снимать с их выходов напряжения на вход цифрового индикатора логического уровня и на другие измерительные приборы. Она позволяет также соединять ЛЭ в различные комбинационные и последовательностные схемы.

Схема исследуемого ЛЭ транзисторно-транзисторной логики - трехвходового элемента И-НЕ представлена на рисунке 1.4.

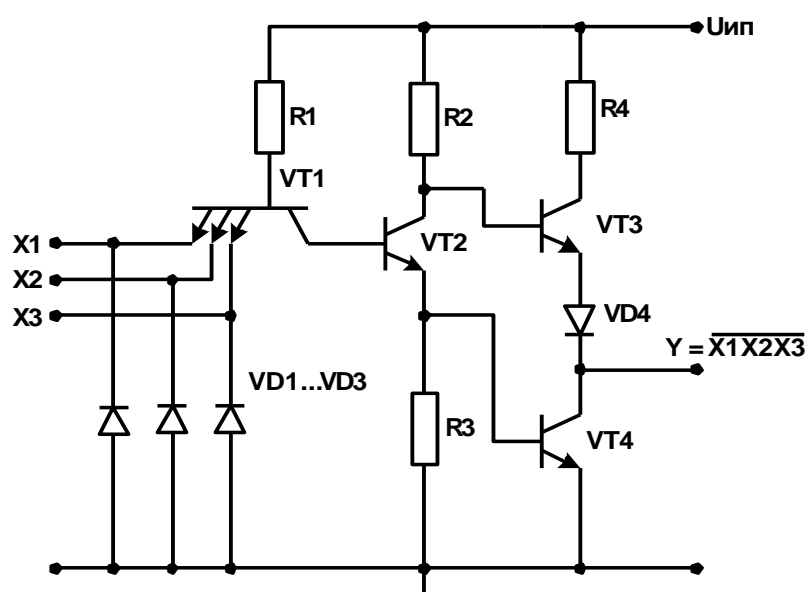


Рисунок 1.4 - Схема базового элемента ТТЛ

$R1=4 \text{ кОм}$; $R2= 1.6 \text{ кОм}$; $R3= 1 \text{ кОм}$; $R4= 150 \text{ Ом}$; $\beta_{\min}=30$ (для транзисторов VT2-VT4)

Она состоит из трехвходового элемента И, выполненного на трехэмиттерном транзисторе VT1, фазорасщепителя (VT2) и сложного инвертора, выполненного на транзисторах VT3 и VT4 и диоде - VD5.

Транзисторы VT2 и VT4 можно рассматривать как составной транзистор (схема Дарлингтона). Они обеспечивают большой коэффициент усиления.

ния базового тока (несколько тысяч). Эмиттерный ток VT4 i_{34} превышает i_{32} в сотни раз. Транзисторы VT2 и VT4 одновременно открываются и закрываются. Через резистор R3 отводится часть тока i_{32} , что уменьшает степень насыщения транзистора VT4.

Совокупность транзисторов VT3 и VT4 эквивалентна двухтактному выходному каскаду, в котором они работают поочередно: один открыт, другой закрыт и наоборот. Диод VD4 обеспечивает надежное запираание VT3 при открытом и насыщенном VT4. Резистор R3 предохраняет транзистор VT3 и диод VD4 от перегрузки при случайном замыкании выхода на землю и ограничивает ток в цепи коллектора транзистора VT3 при переключении элемента.

Сложный инвертор обеспечивает повышенное быстродействие и помехозащищенность логического элемента. Способность элемента ТТЛ работать на большую емкостную нагрузку при высоких скоростях переключения обеспечивается низкоомной выходной цепью. При открывании транзистора VT3 паразитная нагрузочная емкость C_n заряжается его эмиттерным током. При переходе элемента в состояние логического нуля на выходе транзистор VT3 закрывается, а VT4 открывается, ток разряда емкостной нагрузки C_n равен коллекторному току насыщения транзистора VT4. Таким образом, и заряд и разряд конденсатора осуществляются через малые сопротивления открытых транзисторов, т.е. выходной каскад обеспечивает малое время переключения даже при значительных емкостях нагрузки. Повышение помехозащищенности элемента со сложным инвертором по сравнению с элементом с простым инвертором достигается за счет сужения зоны неопределенности передаточной характеристики.

Принцип работы элемента ТТЛ заключается в следующем. При подаче на входы X_1 - X_3 напряжения логической единицы U^1 все база-эмиттерные переходы VT1 смещаются в обратном направлении, а база-коллекторный переход – в прямом направлении, при этом ток коллектора VT1 проходит в базу транзистора VT2: транзисторы VT2 и VT4 открываются, а транзистор VT3 закрывается и на выходе элемента образуется напряжение, равное логическому нулю $Y=U^0$.

При подаче хотя бы на один из входов X_1 - X_3 напряжения логического нуля U^0 соответствующий переход база-эмиттер транзистора VT1 смещается в прямом направлении, транзистор VT1 насыщается и подключает к нулевому потенциалу вход (базу) транзистора VT2. Транзисторы VT2 и VT4 закрываются, а транзистор VT3 и диод VD4 открываются и на выходе элемента образуется напряжение,

равное логической единице $Y=U^1$. При этом значение логических уровней представляется напряжениями $U^0 \leq 0.4B$, $U^1 \geq 2.4 B$.

В быстродействующих элементах ТТЛ на входах включаются диоды VD1 – VD3, предназначенные для ограничения амплитуды отрицательных помех. Появление на входе логического элемента отрицательного напряжения возможно в результате действия помех, возникновения высокочастотных колебаний при изменении состояния логического элемента, а также при формировании коротких импульсов с использованием дифференцирующих RC-цепей. Следует иметь в виду, что подключение входа элемента ТТЛ к корпусу эквивалентно подаче на него логического 0 (U^0), а случай разомкнутого входа соответствует логической 1 (U^1).

Качество работы логического элемента характеризуют следующие основные параметры:

- 1) быстродействие $t_{зд.ср.}$ или $t_{сраб.}$
- 2) потребляемая мощность $P_{ср.}$;
- 3) работа переключения A ;
- 4) коэффициент объединения по входу $K_{об.}$;
- 5) коэффициент разветвления по выходу $K_{раз.}$;
- 6) статическая помехоустойчивость $U_{П}^0$, $U_{П}^1$.

Быстродействие определяется несколькими параметрами:

– средней задержкой $t_{зд.ср.}$, равной среднеарифметическому значению задержки включения $t_{зд}^{1,0}$ и выключения $t_{зд}^{0,1}$, определенных на уровнях входного и выходного сигнала U_n равных 0,5 от значения логической "1" (рисунок 1.5).

$$t_{зд.ср.} = \frac{t_{зд}^{1,0} + t_{зд}^{0,1}}{2}, \quad (1)$$

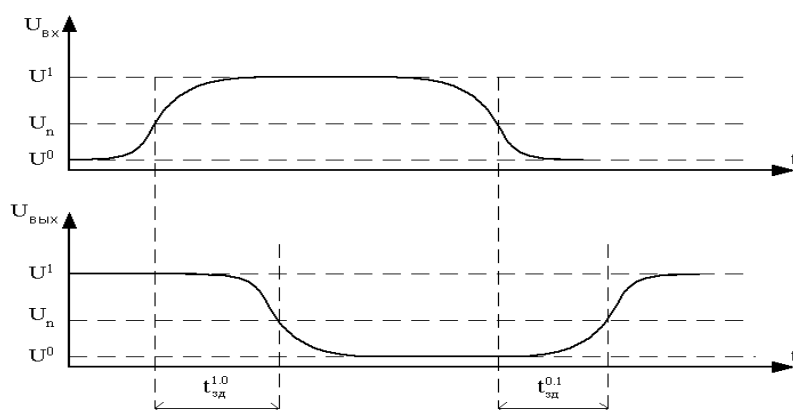


Рисунок 1.5 - Переходные характеристики ЛЭ

– временем срабатывания, которое определяется как интервал между моментами перехода значения выходного напряжения уровней 0,1 и 0,9 от значения выходного напряжения, соответствующего логической "1".

Элемент ТТЛ относится к схемам высокого быстродействия. Средняя задержка распространения составляет 10-25нс., т.е. быстродействие ЛЭ ТТЛ $t_{cp}=(10-25)нс.$

Потребляемая мощность характеризует экономичность ЛЭ. Она зависит от состояния элемента. Высокому выходному напряжению логического элемента U^1 соответствует малое потребление тока от источника питания, низкому U^0 – большое потребление тока; т.е. потребляемая мощность в состоянии P^0 выше, чем в состоянии P^1 . Экономичность оценивается средней статической потребляемой мощностью:

$$P_{cp} = \frac{P^0 + P^1}{2} = 0.5 \cdot E(I_n^0 + I_n^1), \quad (2)$$

Для базового элемента ТТЛ $P_{cp} = 10 - 50 мВт.$

В процессе переключения средняя потребляемая мощность увеличивается, поскольку токи протекают не только через активные элементы, но и через реактивные сопротивления элемента (заряд емкостей р-п переходов транзисторов, емкостей выводов и соединительных проводов). Поэтому дополнительно может указываться динамическая средняя потребляемая мощность для определенной (максимальной) частоты переключения.

Работа переключения A , определяемая формулой

$$A = t_{cp} \cdot P_{cp}, \quad (3)$$

является интегральным параметром, характеризующим совершенство технологии ЛЭ с точки зрения и быстродействия, и потребляемой мощности. Введение такого параметра обусловлено тем, что увеличение быстродействия, как правило, достигается ценой увеличения потребляемой мощности.

Для первых поколений ЛЭ этот параметр был равен 100 пДж, в современных схемах (за 20 лет) он снижен (до 0.01-1.0 пДж). Теоретический предел A по разным оценкам лежит в пределах $10^{-15} - 10^{-18}$ Дж.

Коэффициент объединения по входу $K_{об}$ определяется числом входов логического элемента. Обычно используются ЛЭ с числом входов 2, 3, 4, 8, но не более 16. Увеличение числа входов, как правило, ухудшает другие параметры, такие как, быстродействие и помехоустойчивость. Для построения схем с повышенным числом входов предусмотрены специальные элементы – расширители числа входов.

Коэффициент разветвления по выходу $K_{раз}$ показывает, на сколько входов идентичных логических элементов может нагружаться выход данного ЛЭ. Нагрузочная способность ЛЭ определяется типом примененного инвертора; для простейшего инвертора (один транзистор с коллекторным резисто-

ром) $K_{\text{раз}} \leq 2 \dots 4$, для сложных инверторов $K_{\text{раз}} = 10 \dots 20$. Для оценки численного значения $K_{\text{раз}}$ для ЛЭ в состоянии $Y = U^0$ можно воспользоваться выражением:

$$K_{\text{разв}} = \frac{J_{k \max}}{I_{\text{вх}}^0}, \quad (4)$$

где $J_{k \max}$ -коллекторный ток насыщения транзистора;

$I_{\text{вх}}^0$ -эмиттерный ток многоэмиттерного транзистора VT1 при подаче на его вход напряжения логического нуля.

Для исследуемого элемента $J_{k \max} = 30 \text{ мА}$, $I_{\text{вх}}^0 = 1.35 \text{ мА}$. Из (4) находим $K_{\text{раз}} = 22$, что значительно превышает значение $K_{\text{раз}} = 10$, указанное в ТУ на элемент ТТЛ. Объясняется это тем, что принятая нами формула (4) не учитывает требования к быстродействию при определении значения $K_{\text{раз}}$. Для состояния элемента $Y = U_{\text{вых}}^1$ числовое значение $K_{\text{раз}}$, значительно выше.

В динамическом режиме емкости подключенных входов ухудшают быстродействие и увеличивают потребляемую мощность, т.е. увеличивают работу переключения.

Статическая помехоустойчивость ЛЭ характеризуется значением допустимого изменения статического входного напряжения, не вызывающего изменения состояния ЛЭ.

2 МЕТОДИКА СНЯТИЯ ОСНОВНОЙ СТАТИСТИЧЕСКОЙ ХАРАКТЕРИСТИКИ

К основной статической характеристике относится передаточная характеристика элемента. На основе этой характеристики можно определить основные параметры базового элемента.

2.1 Передаточная характеристика элемента

Передаточная характеристика элемента представляет собой зависимость выходного напряжения от входного (рисунок 1.6). Она имеет три характерных участка: I – соответствует состоянию $U_{\text{вых}} = U^1$, II – состоянию $U_{\text{вых}} = U^0$ и III – промежуточному состоянию (активная зона). U_a – ширина активной зоны или зоны неопределенности. Для снятия передаточной характеристики на входы X_1, X_2 (рисунок 1.4) подаются напряжения $U_{\text{вх}}^1$, а на вход X_3 – напряжение, плавно изменяющееся от 0 до $U_{\text{вх}}^1$. Напряжение $U_{\text{вых}}$ сни-

мается с выхода Y . Рассмотрим основные особенности передаточной характеристики, представленной на рисунке 1.6.

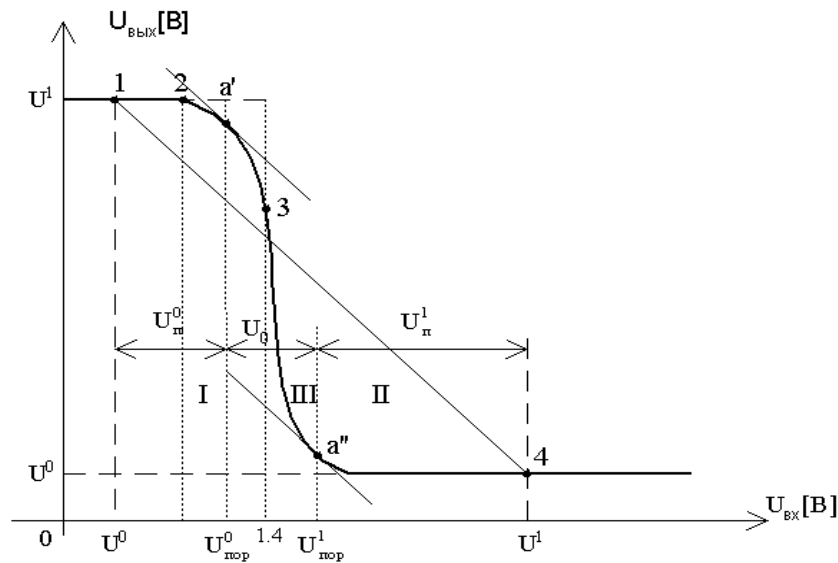


Рисунок 1.6 - Передаточная характеристика ТТЛ ЛЭ

При подаче на вход X_3 , (рисунок 1.4) напряжения $U^0 \leq 0,3\text{В}$ на базе транзистора VT2 – низкий потенциал, транзистор закрыт и потенциал на базе транзистора VT4 равен 0, следовательно, VT4 закрыт. На выходе логического элемента напряжение:

$$U_{\text{вых}}^1 = U_{\text{ип}} - U_{K2} - U_{BЭ3} - U_{VD4} = 5 - 0 - 0,7 - 0,7 = 3,6 \text{ В.}$$

Потенциал коллектора транзистора VT2 и базы транзистора VT3 приблизительно равен $U_{\text{ип}}$. В результате открывается коллекторно-эмиттерный переход VT3 и диод VD4. Возникает выходной ток $J_{\text{вых}}$.

При дальнейшем увеличении напряжения $U_{\text{вх}}$ (точка 2) открывается VT2, через него протекают токи J_{K2} и $J_{Э2}$ и так как $J_{K2} \neq 0$, то напряжение на выходе элемента падает на величину $J_{K2} \cdot R_2 + J_{B3} R_2$, т.е.

$$U_{\text{вых}} = U_{\text{ип}} - (J_{K2} + J_{B3})R_2 - U_{BЭ3} - U_{VD4}, \quad (6)$$

Транзистор VT4 закрыт, его входное сопротивление велико. Транзистор VT3 открыт и работает в режиме эмиттерного повторителя, его входное сопротивление также велико. Следует отметить, что транзистор VT3 не может перейти в состояние насыщения и поэтому минимальное напряжение коллектор-эмиттер для него не падает ниже 0,7-1В. При $U_{\text{вх}}=1,4\text{В}$ транзистор VT4 начинает открываться за счет увеличивающегося напряжения $U_{B4}=J_{Э2} \cdot R_2$. Динамическое сопротивление базно-эмиттерного перехода VT4 шунтирует резистор R_2 , и коэффициент усиления каскада на транзисторе

VT2 резко возрастает, напряжение на коллекторе VT2 резко уменьшается. Поскольку VT3 еще не закрыт, а VT4 уже открыт, возникает скачок тока от источника питания через резистор R4 (ток короткого замыкания J_k), который ограничивается сопротивлением резистора R4:

$$J_k = \frac{U_{ип} - U_{КЭ3} - U_{VD4} - U_{КЭ4}}{R4}, \quad (7)$$

При дальнейшем увеличении $U_{вх}$ VT2 и VT4 переходят в режим насыщения, а VT3 и VD4 закрываются, на выходе устанавливается напряжение логического нуля $U^0 = 0.3В$. Базо-эмиттерный переход VT4 ограничивает дальнейшее нарастание напряжения на эмиттере VT2 уровнем $U_{БЭ\text{ нас}} = 0,7 В$. На коллекторе VT2 устанавливается напряжение $U_{К2} = U_{БЭ\text{ нас}} + U_{КЭ\text{ нас}} = 1.0В$, а на коллекторе VT1 – $U_{К1} = 2U_{БЭ\text{ нас}} = 1.4В$.

По передаточной характеристике (рисунок 1.6) можно определить некоторые основные параметры базового элемента ТТЛ. Точка 1 на передаточной характеристике соответствует уровню логической единицы U^1 , а точка 4 – логическому нулю U^0 . Соединив эти точки, получим прямую с крутизной $K = -1$. Найдем на передаточной характеристике точки с единичным коэффициентом передачи, для чего проведем касательные к изгибам передаточной характеристики, параллельные прямой 1-4. Точки касания a' , a'' и будут точками с $K = -1$, в окрестности которых $\Delta U_{вх} = -\Delta U_{вых}$. Входные напряжения, соответствующие этим точкам, назовем порогами переключения: $U_{пор}^0$ – порог переключения из "1" в "0", $U_{пор}^1$ – порог переключения из "0" в "1". Если $U_{вх} > U_{пор}^0$, то происходит переключение элемента в нуль (включение), т.е. изменение $U_{вых}$ на $U_{вых}^0$, если $U_{вх} < U_{пор}^1$ – переключение из "0" в "1", т.е. выключение элемента. Амплитуда помехи на входе элемента не должна превышать значения, при котором дифференциальный коэффициент передачи элемента $K = \Delta U_{вых} / \Delta U_{вх}$ становится по модулю больше 1, в противном случае помеха будет вызывать ложное срабатывание элемента (сбой).

Из вышеизложенного следует, что максимально допустимое статическое изменение входного напряжения, которое воздействует на вход элемента в течение времени, превышающего задержку сигнала $t_{зд.ср}$, не вызывая переключения элемента, характеризует статическую помехоустойчивость $U_{п}$, которая определяется выражениями (рисунок 1.6):

$U_{п}^0 = U_{пор}^0 - U^0$ – статическая помехоустойчивость выключенного элемента по отношению к включающей помехе;

$U_{\Pi}^1 = U^1 - U_{\text{пор}}^1$ - статическая помехоустойчивость включенного элемента по отношению к выключающей помехе. Обычно $U_{\Pi}^0 \neq U_{\Pi}^1$. Помехоустойчивость элемента оценивается меньшим из этих двух значений.

Как следует из рисунка 1.6,

$$U_{\Pi}^0 + U_{\Pi}^1 = U_{\text{л}} - U_{\text{а}}$$

где: $U_{\text{л}} = U^1 - U^0$ - логический перепад; $U_{\text{а}}$ - ширина зоны неопределенности.

Следовательно, для повышения помехоустойчивости следует повышать логический перепад и уменьшать ширину зоны неопределенности. В логическом элементе обеспечивают выполнение условия $U_{\text{а}} \ll U_{\text{л}}$, т.е. приближенно можно считать, что $U_{\Pi}^0 + U_{\Pi}^1 = U_{\text{л}}$. Так как логический перепад напряжения $U_{\text{л}}$ не превосходит значения напряжения источника питания $U_{\text{ип}}$, то $U_{\Pi}^0 + U_{\Pi}^1 \leq U_{\text{ип}}$, т.е. сумма статических помехоустойчивостей не может превысить величины напряжения источника питания (существуют элементы, для которых это утверждение не справедливо – это элементы с гистерезисом). Наличие наклонного участка на передаточной характеристике (рисунок 1.6) является существенным недостатком логического элемента, так как снижает помехоустойчивость выключенного элемента по отношению к включающей помехе U_{Π}^0 . Этот недостаток частично устраняется введением вместо резистора R3 источника тока на элементах VT5, R3, R4 (рисунок 1.7).

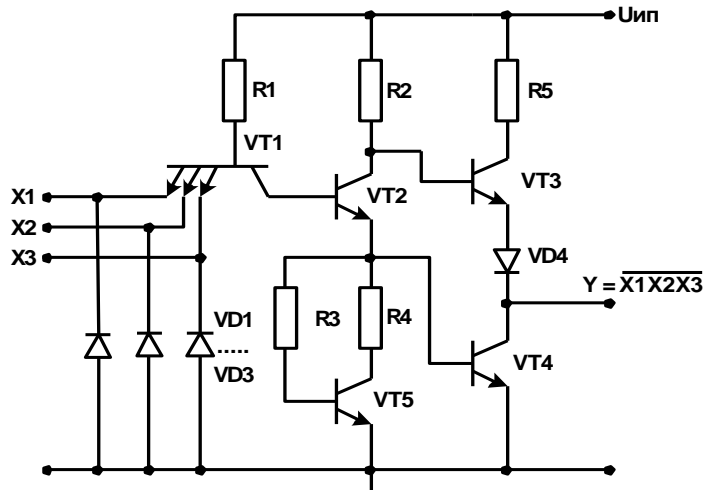


Рисунок 1.7 -Схема базового элемента ТТЛ

В этом случае, при $0.7\text{В} < U_{\text{вх}} < 1.4\text{В}$, токи $J_{\text{к2}}$ и $J_{\text{з2}}$ отсутствуют, поскольку закрыт VT5. В выражении (6) $J_{\text{к2}} \cdot R_2 = 0$, что обуславливает спрямление передаточной характеристики, как показано пунктиром на участке 2-3 (рисунок 1.6). Только при $U_{\text{вх}} \geq 1.4\text{В}$ открывается транзистор VT5, затем открывается транзистор VT4 и на выходе элемента устанавливается $U_{\text{вых}} = U^0$.

Статическая помехоустойчивость выключенного элемента с корректирующей цепью (рисунок 1.7) по отношению к включающей помехе будет определяться выражением:

$$U_{\pi}^0 = 1.4 - U^0 = 1.1 \text{ В}$$

3 МЕТОДИКА ИССЛЕДОВАНИЯ ДИНАМИЧЕСКОГО РЕЖИМА РАБОТЫ ЭЛЕМЕНТА

3.1 Этап включения элемента

В исходном состоянии $t < t_0$ на выходы X_1, X_2 (рисунок 1.4) подано напряжение U^1 , а на вход X_3 - напряжение U^0 , т.е. элемент выключен $U_{\text{ВЫХ}} = U^1 = 3.6 \text{ В}$. Если в момент $t = t_0$ подать на вход X_3 прямоугольный положительный импульс напряжения $U_{\text{ВЫХ}}$ (рисунок 1.8), то переход эмиттер-база VT1 закрывается, а VT4 начинает открываться за счет тока базы $J_{\text{Б НАС V4}} = 2.6 \text{ мА}$.

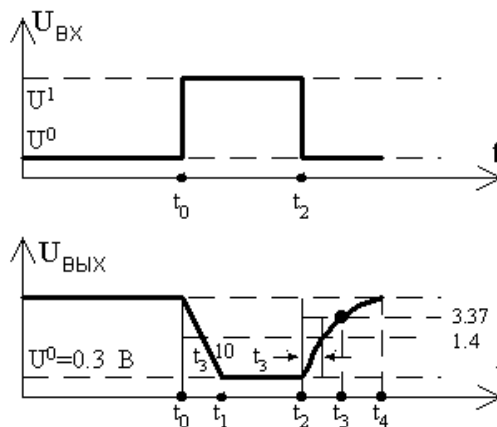


Рисунок 1.8 - Исследование динамического режима

Нагрузочная емкость $C_H = 300 \text{ пФ}$, заряженная до напряжения $U^1 = 3.6 \text{ В}$, начинает разряжаться током $J_{\text{К VT4}} = \beta \cdot J_{\text{Б НАС VT4}} = 78 \text{ мА}$ до напряжения $U^0 = 0.3 \text{ В}$ (рисунок 1.8). Время разряда $t_1 - t_0$, определяется выражением:

$$t_1 - t_0 = \frac{U^1 - U^0}{\beta \cdot J_{\text{Б НАС VT4}}} C_H = 13 \text{ нс}, \quad (8)$$

3.2 Этап выключения элемента

В момент t_2 напряжение на входе X_3 изменяется от U^1 до U^0 (рисунок 1.8). При этом транзисторы VT2, VT4 закрываются, а транзистор VT3 входит

в режим насыщения. Емкость C_H , заряженная до напряжения $U^0 = 0.3 \text{ В}$, начинает заряжаться напряжением $E_{\text{экв1}}$, определяемым выражением

$$E_{\text{экв1}} = \frac{(U_{\text{ип}} - U_{\text{бэ VT3}})/R_2 + (U_{\text{ип}} - U_{\text{кэ VT4}})/R_3}{1/R_2 + 1/R_3} - U_{\text{VD4}} = 3.96 \text{ В}$$

Этот процесс заряда будет продолжаться до тех пор, пока транзистор будет находиться в режиме насыщения, т.е. до напряжения на конденсаторе C_H , равного $U_{\text{гр нас}} = 3.37 \text{ В}$. На это уйдет время $t_3 - t_2$, равное

$$t_3 - t_2 = T_1 \cdot \ln \left(\frac{E_{\text{экв1}} - U^0}{E_{\text{экв1}} - U_{\text{гр. нас}}} \right) = 75 \text{ нс},$$

где $T_1 = C_H \cdot R_{\text{экв1}} = 41 \text{ нс}$, и $R_{\text{экв1}} = R_2/R_3 = 137 \text{ Ом}$.

В момент t_3 транзистор VT3 входит в активный режим ($U_{\text{вых}} > U_{\text{гр. нас}}$). Емкость C_H продолжает заряжаться от напряжения $U_{\text{гр. нас}} = 3.37 \text{ В}$ до напряжения $E_{\text{экв2}} = U_{\text{ип}} - U_{\text{бэ V4}} - U_{\text{VD4}} = 3.6 \text{ В}$ с другой постоянной времени $T_2 = C_H \cdot R_{\text{вых}} = 300 \cdot 10^{-12} \cdot 52 = 15.6 \text{ нс}$. Этот интервал времени заряда конденсатора C_H определяется выражением:

$$t_4 - t_3 = T_2 \cdot \ln \left(\frac{E_{\text{экв2}} - U_{\text{гр. нас}}}{E_{\text{экв2}} - E'_{\text{экв2}}} \right) = 50 \text{ нс},$$

где $E_{\text{экв2}} = 3.59 \text{ В}$.

4 ЗАДАНИЕ И ПОРЯДОК ЕГО ВЫПОЛНЕНИЯ

4.1 Осуществить контроль функционирования ЛЭ И-НЕ

Подавая на входы X_1 , X_2 , X_3 ЛЭ И-НЕ (Д1) (рисунок 1.1) сигналы согласно таблице 1.1, при помощи индикатора логического уровня контролировать установку логических уровней на входах X_1 , X_2 , X_3 соответственно на выходе Y . Результаты контроля занести в таблицу 1.1. Сделать заключение об исправности контролируемого элемента.

Для удобства работы, логические сигналы на входах X_2 и X_3 следует воспроизводить с помощью тумблеров, а сигнал на входе X_1 путем подсоединения этого входа к гнездам "0" или "1" в соответствии с таблицей 1.1.

Таблица 1.1. – Результаты контроля ЛЭ И-НЕ (Д1)

| X_1 | X_2 | X_3 | Y |
|-------|-------|-------|-----|
| 0 | 0 | 0 | |

| | | | |
|---|---|---|--|
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | |
| 1 | 0 | 1 | |
| 1 | 1 | 0 | |
| 1 | 1 | 1 | |

4.2 Исследовать интегральный ЛЭ И-НЕ в динамическом режиме.

На один из входов ЛЭ И-НЕ (Д1) подать импульс \square S, на другие входы - сигнал логической 1. Вход осциллографа через коммутатор сигналов подключить к источнику входного импульса \square S и к выходу четырех последовательно включенных элементов D₁, D₃, D₅, D₇, (рисунок 1). Синхронизацию осциллографа осуществить импульсами \square S. Снять осциллограммы на входе и выходе исследуемой последовательности элементов. Определить среднюю задержку распространения сигналов, приходящуюся на один элемент (рисунок 1.9). Зарисовать в лабораторный журнал полученные осциллограммы. При расчете временных параметров следует учитывать положение переключателей и потенциометров, определяющих скорость развертки осциллографа.

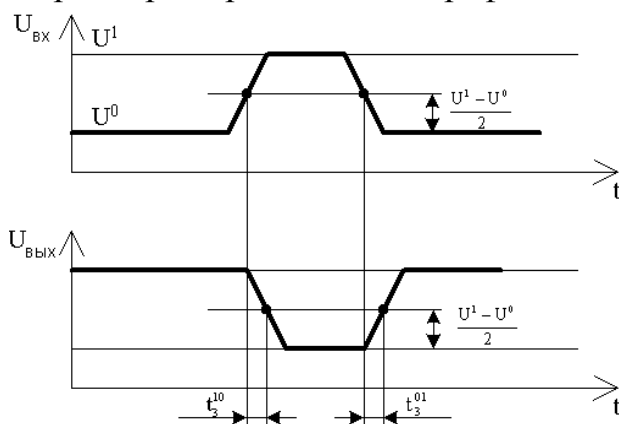


Рисунок 1.9 - Эпюры напряжений

4.4 Снять передаточную характеристику $U_{вых}=f(U_{вх})$ ЛЭ И-НЕ

Подать на входы X₁, X₂ ЛЭ И-НЕ (Д1) напряжение логической единицы "1". Подключить к входу X₃ источник регулируемого напряжения $U_{вх}$. Изменяя напряжение $U_{вх}$, снять передаточную характеристику $U_{вых}=f(U_{вх})$, по 8-10 точкам, располагая их в основном на изгибах характеристики. Результаты измерений свести в таблицу 1.2.

Таблица 1.2 – Результаты измерений передаточной характеристики

| | | | | | | | | |
|----------------------------|---|-----|-----|---|-----|---|-----|---|
| $U_{\text{вх}}[\text{В}]$ | 0 | 0.1 | 1.4 | 2 | 2.5 | 3 | 3.6 | 4 |
| $U_{\text{вых}}[\text{В}]$ | | | | | | | | |

По таблице 1.2 построить график, соблюдая одинаковый масштаб по осям абсцисс ($U_{\text{вх}}$) и ординат ($U_{\text{вых}}$).

По графику определить: значения напряжения логического нуля U^0 и логической единицы U^1 , ширину активной зоны $U_a = U_{\text{пор}}^1 - U_{\text{пор}}^0$, статическую помехоустойчивость выключенного элемента по отношению к включающей помехе $U_{\text{п}}^0 = U_{\text{пор}}^0 - U^0$, включенного элемента по отношению к выключающей помехе $U_{\text{п}}^1 = U_{\text{пор}}^1 - U^1$

Сравнить полученные результаты с расчетными.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Начертите принципиальную схему ЛЭ Н-НЕ транзисторно-транзисторной логики ТТЛ, поясните его принцип действия, назначение компонентов схемы.
2. Объясните логику работы элемента ТТЛ, составьте таблицу переходов.
3. Изложите методику получения основных статических характеристик (входной, передаточной, выходной), проанализируйте эти характеристики.
4. Дайте определение основных параметров работы ЛЭ ТТЛ.
5. Изложите методику исследования динамического режима работы ЛЭ.

СПИСОК ЛИТЕРАТУРЫ

1. Гутников В.С. Интегральная электроника в измерительных устройствах. - Л.: Энергия, 1980. - С.183-190.
2. Алексенко А. Г., Шагурин И. И. Микросхемотехника / Под ред. И.П.Степаненко. - М.: Радио и связь, 1982. - С.43-58.

ЛАБОРАТОРНАЯ РАБОТА №2

"ИССЛЕДОВАНИЕ РАБОТЫ RS-ТРИГГЕРОВ"

Цель работы: ознакомление с основными схемами асинхронных и синхронных RS-триггеров; изучение принципов действия и логики работы RS-триггеров; освоение методики и приобретение практических навыков исследования триггеров в статическом режиме.

1 ЛАБОРАТОРНАЯ УСТАНОВКА

Лабораторная установка для исследования RS-триггера представляет собой наборное поле из логических элементов (ЛЭ) И-НЕ, на котором при помощи гнезд и соединительных проводников можно собирать различные типы RS-триггеров - простейших логических автоматов, обладающих памятью.

Знакомясь с устройством RS-триггера, имеющего два устойчивых состояния, студент должен знать, что одно из них условно принимается за "1", а другое - за "0". Новое состояние устанавливается путем воздействия входных сигналов X, оно зависит от исходного состояния. Асинхронные RS-триггеры переключаются в момент поступления входных установочных сигналов S, R, а синхронные - теми же сигналами, но в момент поступления тактового импульса C.

2 МЕТОДИКА СИНТЕЗА RS-ТРИГГЕРА НА ЛЭ

2.1 Асинхронный RS-триггер

Условное обозначение асинхронного RS-триггера (триггера памяти), выполненного на ЛЭ ИЛИ-НЕ, представлено на рисунке 2.1. Он имеет два информационных установочных входа S и R и два выхода: прямой Q и инверсный \bar{Q} . Логика функционирования этого триггера показана в таблице переходов (таблица 2.1).

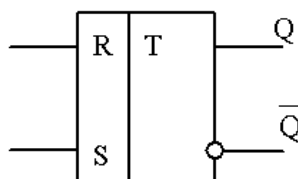


Рисунок 2.1 - Условное обозначение асинхронного RS-триггера, на ЛЭ ИЛИ-НЕ

Как следует из таблицы 2.1, состояние триггера по прямому выходу Q_n определяется состоянием установочных входов в данный момент времени S_n , R_n и предыдущим состоянием триггера Q_{n-1} . Как видим, $Q_n = Q_{n-1}$ - режим хранения информации

Таблица 2.1 - Логика функционирования триггера

| № команд | S_n | R_n | Q_{n-1} | Q_n | Режим |
|----------|-------|-------|-----------|-------|------------------------|
| 0 | 0 | 0 | 0 | 0 | Хранение информации |
| 1 | 0 | 0 | 1 | 1 | |
| 2 | 0 | 1 | 0 | 0 | Запись "0" |
| 3 | 0 | 1 | 1 | 0 | |
| 4 | 1 | 0 | 0 | 1 | Запись "1" |
| 5 | 1 | 0 | 1 | 1 | |
| 6 | 1 | 1 | 0 | x | Запрещенные комбинации |
| 7 | 1 | 1 | 1 | x | |

соответствует $S_n = R_n = 0$. Запись нуля $Q_n = 0$ осуществляется по команде $S_n = 0$, $R_n = 1$; запись единицы $Q_n = 1$ – по команде $S_n = 1$, $R_n = 0$. При $S_n = R_n = 1$ выходы обоих логических элементов устанавливаются в состояние логического 0, т.е. нарушается нормальная работа триггера. При переходе из такого состояния в режим хранения триггер может установиться либо в 0, либо в 1 в зависимости от времени срабатывания логических элементов, т.е. $Q_n = x$, поэтому комбинации переменных 6 и 7 являются запрещенными.

Составим карту Карно (рисунок 2.2) по таблице 2.1 и определим логическую функцию триггера (частично определенную).

| <div> R_n Q_{n-1} </div> | | <div> S_n </div> | | | |
|--|---|-------------------------------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| <div> S_n </div> | 0 | $^0R_n 0$ | 1 | 3 | 2 |
| | 1 | 4 | 5 | 7 | 6 |
| | | 1 | 1 | x | x |

Рисунок 2.2 - Карта Карно для асинхронного RS-триггера

На основании карты Карно (рисунок 2.2) запишем логическую функцию асинхронного RS-триггера в МДНФ доопределив факультативные комбинации единицами

$$Q_n = S_n + \bar{R}_n Q_{n-1}, \quad (1)$$

Преобразуем (1) к виду, удобному для реализации на ЛЭ ИЛИ-НЕ

$$Q_n = S_n + \overline{\overline{R_n Q_{n-1}}} = S_n + \overline{\overline{R_n} + \overline{Q_{n-1}}}, \quad (2)$$

На рисунке 2.3 показана схема асинхронного RS-триггера на ЛЭ ИЛИ-НЕ, реализующая функцию (2).

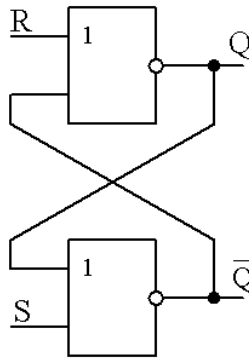


Рисунок 2.3 - Схема асинхронного RS-триггера на ЛЭ ИЛИ-НЕ

На рисунке 2.4 показаны временные диаграммы работы данного триггера, из которых следует, что его состояния устанавливаются с задержкой относительно времени воздействия установочных сигналов на вход. Средняя задержка установочного сигнала в каждом ЛЭ равна $\tau_{\text{ср}}$. Поскольку сигнал проходит два последовательно включенных ЛЭ, то задержка в выполнении команды составляет $2\tau_{\text{ср}}$. Поэтому длительность установочных сигналов S_n и R_n должна быть не меньше $2\tau_{\text{ср}}$, т.е. $t_u \geq 2\tau_{\text{ср}}$.

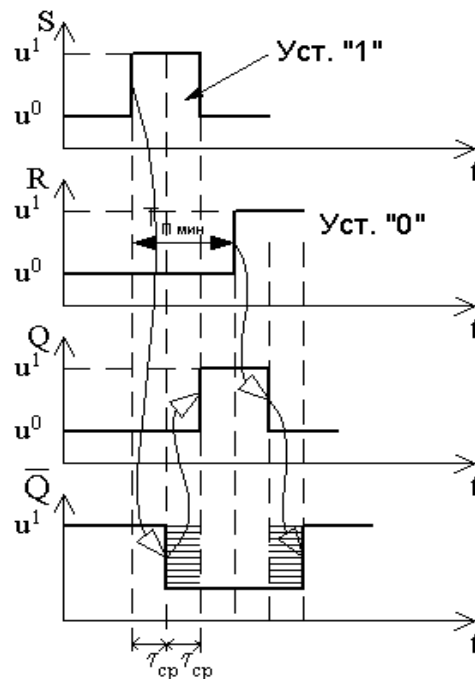


Рисунок 2.4 - Временная диаграмма работы асинхронного RS-триггера на ЛЭ ИЛИ-НЕ

Студенту следует учитывать, что разрешающая способность триггера, определяемая минимальным периодом следования команд, выполняемых триггером, $T_{п\ min} \geq 3\tau_{cp}$. Только при таком $T_{п\ min}$, как показано на рисунке 2.4, длительность импульса на выходе триггера будет не меньше требуемой для управления последующим триггером $t_{u\ вых}=2\tau_{cp}$. Максимальная частота переключения

$$F_{max} = \frac{1}{T_{п\ min}} = -\frac{1}{3\tau_{cp}}$$

Данный триггер можно реализовать на ЛЭ И-НЕ. Для этого логическую функцию (1) следует преобразить к виду, удобному для реализации на ЛЭ И-НЕ

$$F = S_n + \overline{R_n} \cdot Q_{n-1} = \overline{\overline{S_n} \cdot \overline{R_n} \cdot Q_{n-1}}, \quad (3)$$

Схема триггера на элементах И-НЕ, реализующего функцию (3), представлена на рисунке 2.5.

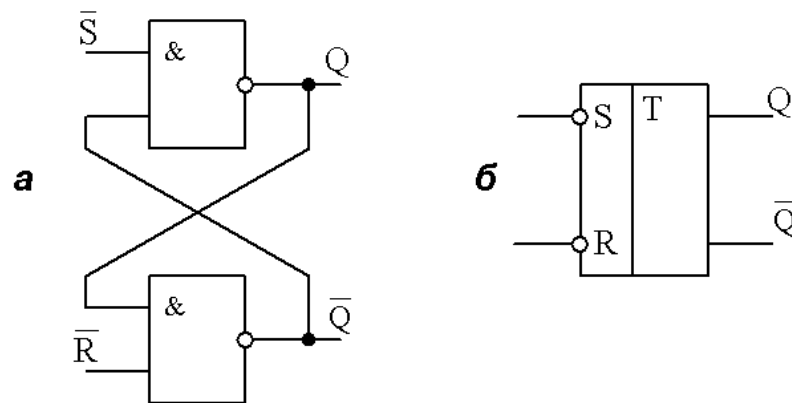


Рисунок 2.5 - RS-триггер на ЛЭ И-НЕ а- схема, б- условное обозначение

Необходимо иметь в виду, что в силу двойственности логических операций И-НЕ и ИЛИ-НЕ, RS-триггер на ЛЭ И-НЕ реализует в негативной логике ту же логическую функцию, что и RS-триггер на ЛЭ ИЛИ-НЕ. Таблица переходов для RS-триггера на ЛЭ И-НЕ (таблица 2.2) получена из таблицы 2.1 путем инверсии входных переменных S_n , R_n , Q_{n-1} и состояния триггера Q_n . В этом случае, при $\overline{S_n} = \overline{R_n} = 0$, выходы триггера $Q_n = \overline{Q_n} = 1$ и при переходе в режим хранения $\overline{S_n} = \overline{R_n} = 1$ состояние триггера неопределенное, т.е. $Q_n = x$.

Временные диаграммы работы триггера на ЛЭ И-НЕ представлены на рисунке 2.6. Основные параметры такого триггера так же как и RS-триггера

на ЛЭ ИЛИ-НЕ, т. е. $t_u \geq 2\tau_{cp}$, $t_{u\ вых} = 2\tau_{cp}$, $T_{п\ min} = 3\tau_{cp}$, $F_{max} = \frac{1}{3\tau_{cp}}$

Таблица 2.2 - Таблица переходов для RS-триггера на ЛЭ И-НЕ

| № команд | S_n | R_n | Q_{n-1} | Q_n | Режим |
|----------|-------|-------|-----------|-------|----------------------------|
| 0 | 0 | 0 | 0 | | Запрещенные. комбинации |
| 1 | 0 | 0 | 1 | | |
| 2 | 0 | 1 | 0 | 1 | Запись "1" |
| 3 | 0 | 1 | 1 | 1 | |
| 4 | 1 | 0 | 0 | 0 | Запись "0" |
| 5 | 1 | 0 | 1 | 0 | |
| 6 | 1 | 1 | 0 | 0 | Хранение информации |
| 7 | 1 | 1 | 1 | 1 | |

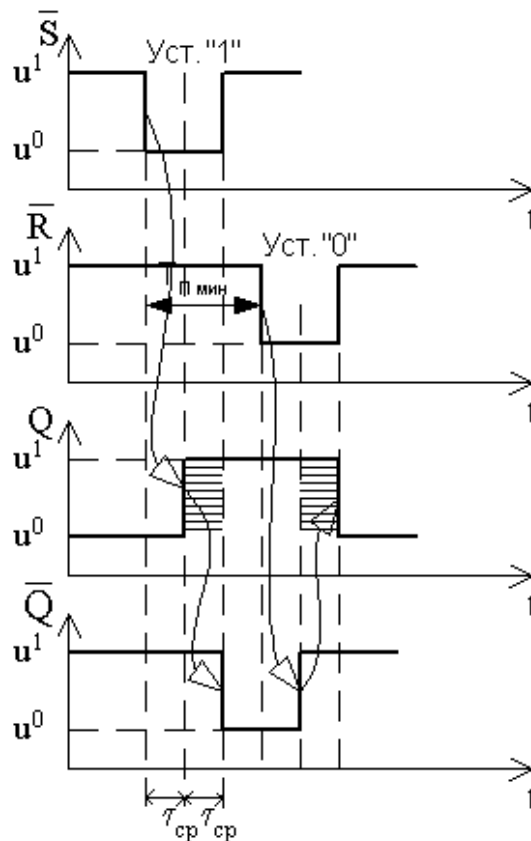


Рисунок 2.6 - Временная диаграмма работы асинхронного RS- триггера на ЛЭ И-НЕ

Проведенный анализ работы RS-триггера на ЛЭ И-НЕ должен помочь студентам сделать следующие выводы:

- 1) переключающие сигналы, поступающие по входам \bar{S}, \bar{R} - отрицательные (переход от u^1 до u^0);
- 2) триггер переключается последовательно;
- 3) существует интервал времени, когда на обоих выходах триггера имеется одинаковый уровень сигналов (см. на рис.2.6 заштрихованные участки, когда $Q = \bar{Q} = u^1$);

4) существуют определенные требования к длительности сигналов по входам \bar{S}, \bar{R} : $t_{u \min} = 2\tau_{cp}$;

5) максимальная частота поступления команд (частота переключения триггера) $F_{\max} = \frac{1}{3\tau_{cp}}$.

2.2 Синхронный RS-триггер

На рисунке 2.7а показана схема синхронного RS-триггера, собранного на ЛЭ И-НЕ, состоящая из схемы управления (ЛЭ 1 - 2) и ячейки памяти (ЛЭ 3 - 4). Условное обозначение триггера приведено на рисунке 2.7б. Логика функционирования триггера отражена в таблице 2.3.

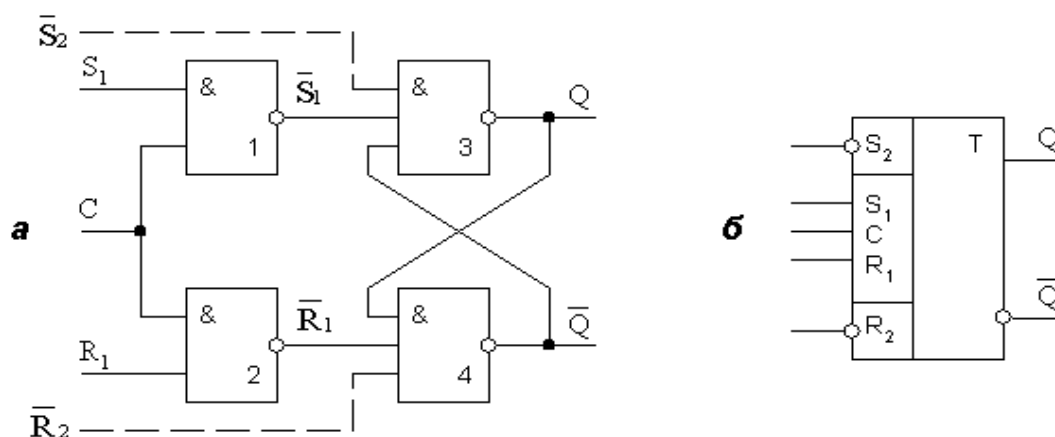


Рисунок 2.7 - Синхронный RS- триггер: а- схема; б- условное обозначение

Таблица 2.3 - Логика функционирования синхронного RS-триггера

| C_n | S_n | R_n | Q_n | Режим работы |
|-------|-------|-------|-------------|------------------------|
| 0 | 0 | 0 | $Q_{n-1}=0$ | Хранение информации |
| 0 | 0 | 1 | $Q_{n-1}=0$ | |
| 0 | 1 | 0 | $Q_{n-1}=0$ | |
| 0 | 1 | 1 | $Q_{n-1}=0$ | |
| 1 | 0 | 0 | $Q_{n-1}=0$ | |
| 1 | 0 | 1 | 0 | Запись "0" |
| 1 | 1 | 0 | 1 | Запись "1" |
| 1 | 1 | 1 | $x=1$ | Запрещенная комбинация |

Следует знать, что при $C=0$ выходные сигналы ЛЭ 1 и 2 (\bar{S}_1, \bar{R}_1) на вход ячейки памяти (ЛЭ 3-4) не попадают, поэтому сохраняется прежнее состояние (режим хранения информации). Состояние не изменяется также при $C_n=1, S_n=R_n=0$. При $C=1$ схема управления работает как инвертор и формула

функционирования триггера определяется выражением (1). Значение $S_1=R_1=C=1$ является запрещенной комбинацией, после которой переход триггера в режим хранения непредсказуем. Необходимо учитывать, что кроме тактируемых (синхронизирующих) входов S_1, R_1 , триггер может иметь установочные входы \bar{S}_2, \bar{R}_2 асинхронного управления для установки требуемого исходного состояния (рисунок 2.7а, пункт). Запрещенной комбинацией переменных \bar{S}_2, \bar{R}_2 является $\bar{S}_2 = \bar{R}_2 = 0$.

Временные диаграммы работы синхронного RS-триггера представлены на рисунке 2.8, из которого следует, что минимально допустимая длительность синхронизирующего импульса $t_{u \min} = 3\tau_{cp}$, а минимальный период повторения $T_{п \min} = 4\tau_{cp}$, максимальная частота повторения $F_{\max} = \frac{1}{4\tau_{cp}}$.

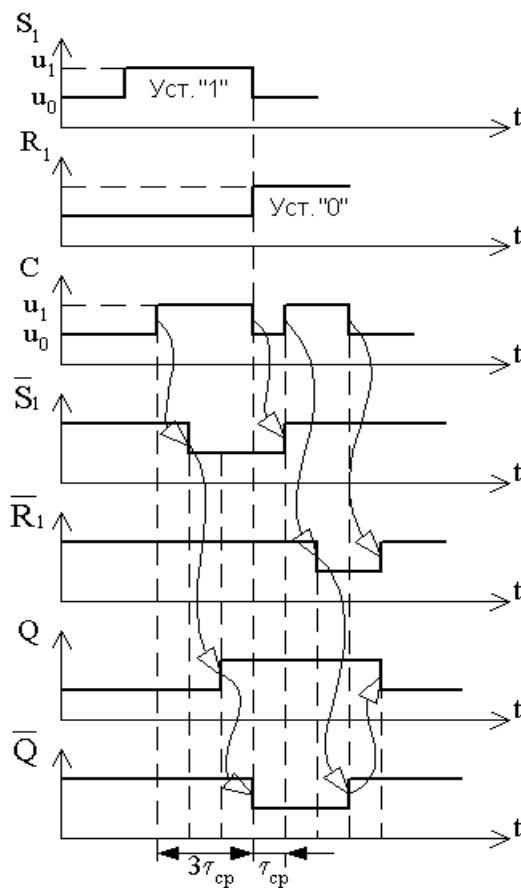


Рисунок 2.8 - Временные диаграммы работы синхронного RS- триггера

Следует знать, что принципиальной особенностью рассмотренных RS-триггеров является то, что они управляются сигналами определенного уровня и длительности $t_u \geq t_{u \min}$ (триггеры со статическим управлением). Они переключаются по фронту тактируемого импульса C. Изменение установочных сигналов должно осуществляться в паузах между синхронизирующими им-

пульсами. Недостатком статического управления является возможность сбоя в работе под воздействием помехи, совпадающей во времени с синхроимпульсом.

2.3 Синхронные двухступенчатые RS-триггеры

Схема триггера, выполненная на ЛЭ И-НЕ, и ее условное обозначение представлены на рисунке 2.9.

Триггер состоит из двух одноступенчатых синхронных RS-триггеров. Первая ступень выполнена на ЛЭ 1-4, вторая – на элементах 5-8.

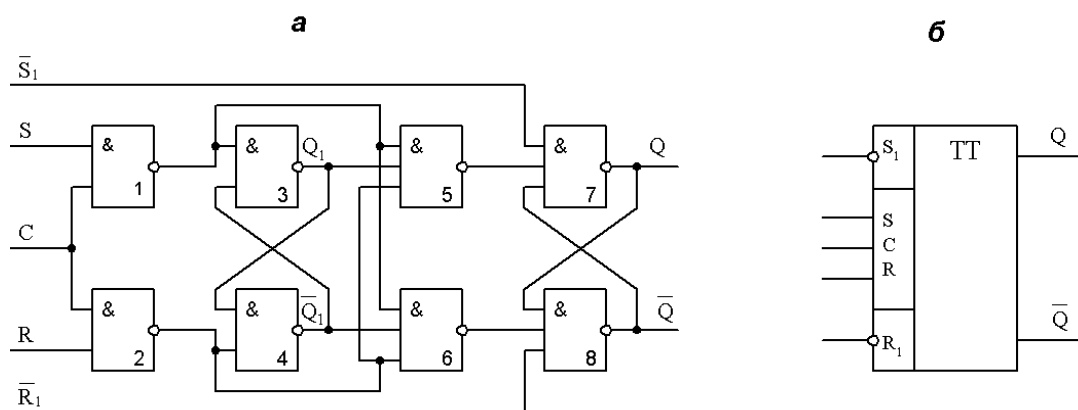


Рисунок 2.9 - Синхронный двухступенчатый RS-триггер: а- схема; б- условное обозначение

Студенту следует знать, что в паузах между синхроимпульсами ($C=0$) осуществляется режим хранения информации в последней ступени триггера. Эквивалентное этому, состояние триггера обеспечивается также при подаче на ход триггера сигналов $S = R = 0$, независимо от состояния входа C . По фронту синхроимпульса C информация с установочных входов S, R записывается в первую ступень. Вторая ступень при этом блокирована одной из запрещающих связей (поскольку сигнал парафазный, то на выходе ЛЭ-1 или ЛЭ-2 сигнал равен 0). При срезе синхроимпульса C первая ступень блокируется, на выходах элементов 1 и 2 устанавливается логическая единица, которая разрешает запись информации из первой ступени (выход элементов 3-4) во вторую (ЛЭ 7-8).

Необходимо учитывать, что на запись информации в первую ступень требуется время $\tau_1 = 3\tau_{cp}$, где τ_{cp} - средняя задержка в одном ЛЭ. Запись информации во вторую ступень осуществляется за время $\tau_2 = 4\tau_{cp}$. При этом од-

но τ_{cp} уходит на запираание ЛЭ 1 или 2. Отсюда следует, что минимально допустимая длительность синхроимпульса $\tau_{u \min} = 3\tau_{cp}$, минимальная длительность периода повторения синхроимпульсов $T_{n \min} = 7\tau_{cp}$, максимальная частота переключения $F_{\max} = \frac{1}{7\tau_{cp}}$.

2.4 Синхронный RS-триггер с динамическим управлением.

Схема триггера и временные диаграммы представлены на рисунке 2.10.

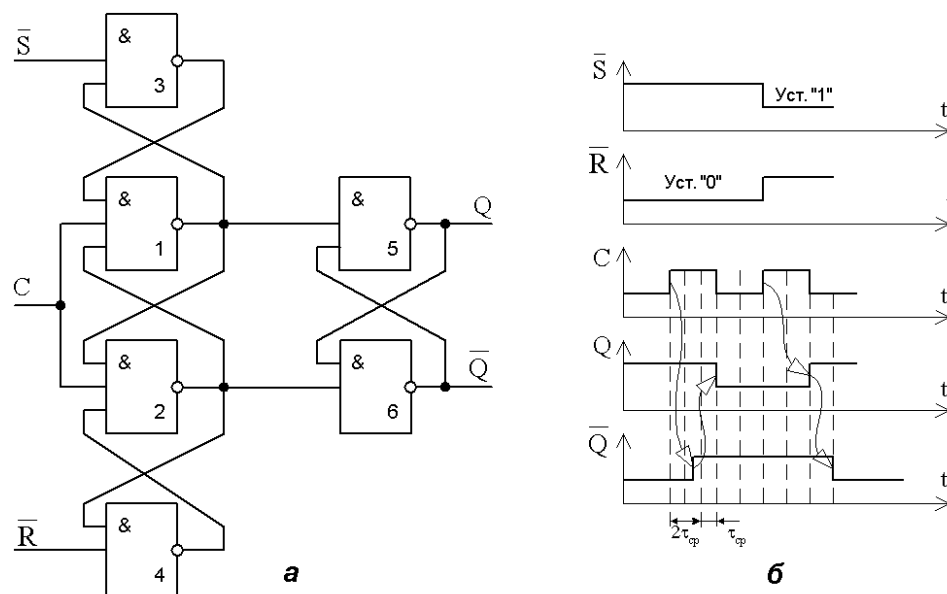


Рисунок 2.10 - RS-триггер с динамическим управлением: а- схема; б- временные диаграммы работы

Студент должен знать, что в паузах между синхроимпульсами $C=0$ вход элементов 1, 2 заблокирован, на их выходе - единица. Это режим хранения информации, записанной в ячейке памяти ЛЭ 5,6. При этом разрешена передача информации с установочных входов на выход элементов 3, 4.

По фронту синхроимпульса $C \rightarrow 1$ элементы 1, 2 деблокируются, информация с выхода элементов 3, 4 записывается в триггер памяти 5, 6, на что уходит время, равное $3\tau_{cp}$, т. е. $\tau_{u \min} = 3\tau_{cp}$. Так как информационный сигнал парафазный, то в момент появления фронта синхроимпульса $C \rightarrow 1$ на выходе одного из элементов 1 или 3 появляется 0, который блокирует входные элементы 3 и 2 или 1 и 4, т. е. триггер "защелкивается". Дальнейшие изменения входных сигналов не изменяют состояние триггера.

По срезу синхроимпульса $C \xrightarrow{1} \downarrow_0$ триггер деблокируется по установочным \bar{S}, \bar{R} входам, на что уходит время τ_{cp} (сигнал деблокировки проходит параллельно через элемент 1 и 2). После этого триггер готов воспринимать установочную информацию по фронту следующего синхроимпульса. Установочная информация \bar{S}, \bar{R} приходит через элемент 3(4), на что уходит еще τ_{cp} , т. е.

$$T_{n\min} = \tau_{u\min} + 2\tau_{cp} = 5\tau_{cp}$$

Как видим, данный триггер воспринимает установочную информацию \bar{S}, \bar{R} лишь в момент воздействия фронта синхроимпульса, что повышает его помехоустойчивость.

3 ЗАДАНИЕ И ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

3.1 Исследовать асинхронный RS- триггер

1. Собрать схему асинхронного RS-триггера на ЛЭ И-НЕ (рисунок 2.5).
2. Снять данные для таблицы переходов триггера (таблица 2.2). Значение $Q_{n-1}=0$, указанное для нулевой комбинации, установить путем подачи на вход \bar{S} логической единицы (т.е. \bar{S} разомкнут), а на вход \bar{R} - логического нуля (т. е. \bar{R} замкнут на корпус). Затем установить нулевую комбинацию \bar{S}_n, \bar{R}_n и при помощи индикатора уровня определить состояние триггера, т. е. значение Q_n . Аналогичные действия проделать для каждой из оставшихся комбинаций 1-7. При этом значение $Q_{n-1}=1$ определить путем установки $\bar{S}_{n-1}=0, \bar{R}_{n-1}=1, Q_{n-1}=0$ – с помощью установки $\bar{S}_{n-1}=1, \bar{R}_{n-1}=0$. По полученной таблице переходов определить состояния установочных входов \bar{S}_n, \bar{R}_n при записи "1", "0" и в режиме хранения информации.

3.2 Исследовать синхронный RS-триггер

1. Собрать схему синхронного RS-триггера на ЛЭ И-НЕ (рисунок 2.7а).
2. Снять данные для таблицы переходов синхронного RS-триггера (таблица 2.3). Каждую из последних четырех комбинаций следует устанавливать соответственно указанным в таблице 2.3 значениям S_n и R_n при $C=0$, а затем подавать на C синхроимпульс путем включения и выключения единицы, после чего индикатором уровня определять значения Q_n . Результаты из-

мерений свести в таблицу, по которой определить режим работы исследуемого триггера.

3.3 Исследовать синхронный двухступенчатый RS-триггер

1. Собрать схему синхронного двухступенчатого RS-триггера на ЛЭ И-НЕ (рисунок 2.9а).

2. Убедиться в том, что в исследуемом триггере запись информации в первую ступень (ЛЭ 3,4) осуществляется по фронту синхроимпульса $C \uparrow$, вторая ступень (ЛЭ 7,8) при этом находится в режиме хранения информации. Запись информации из первой ступени во вторую осуществляется по срезу синхроимпульса $C \downarrow$ (переход C из "1" в "0").

Для проведения опытов установить $C=1$ и, сохраняя его неизменным, а изменяя только потенциал установочных входов S , R в соответствии с таблицей 2.4 (комбинации 1-2), при помощи индикатора логических уровней, подключаемого поочередно на выходы первой Q_1 , \bar{Q}_1 и второй Q , \bar{Q} ступеней, убедиться, что триггер памяти (ЛЭ 7,8) при этом находится в режиме хранения информации (потенциалы Q и \bar{Q} неизменны). Затем, чередуя установку на входе C фронта импульса $C \uparrow$ и среза $C \downarrow$ следить при помощи индикатора логического уровня за изменениями потенциала на выходах первой и второй ступеней при изменении потенциалов установочных входов S и R (комбинации 3-7). Результаты опытов занести в таблицу 2.4.

Таблица 2.4 – Исследование двухступенчатого RS-триггера памяти



| № | S | R | C | Q_1 | \bar{Q}_1 | Q | \bar{Q} |
|---|---|---|----------------|-------|-------------|---|-----------|
| 1 | 1 | 0 | $C \uparrow$ | | | | |
| 2 | 0 | 1 | $C \uparrow$ | | | | |
| 3 | 0 | 1 | $C \downarrow$ | | | | |
| 4 | 1 | 0 | $C \uparrow$ | | | | |
| 5 | 1 | 0 | $C \downarrow$ | | | | |
| 6 | 0 | 1 | $C \uparrow$ | | | | |
| 7 | 0 | 1 | $C \downarrow$ | | | | |

3.4 Исследовать RS-триггер с динамическим управлением

1. Собрать схему RS-триггера с динамическим управлением на ЛЭ И-НЕ (рисунок 2.10а).

2. Осуществить контроль работы собранного триггера. Для этого, устанавливая потенциалы на установочных входах \bar{S} , \bar{R} и C в последовательности, указанной в таблице 2.5, при помощи индикатора логических уровней определять состояние выходов Q и \bar{Q} для каждой комбинации. Обратить внимание на то, что при $C=0$ (комбинация 1-2) обеспечивается режим хранения информации (Q и \bar{Q} остаются неизменными) и, кроме того, разрешается передача установочных сигналов \bar{S} , \bar{R} через входные элементы 3-4, на входы которых с выходов ЛЭ 1-2 поступает разрешающая 1.

Таблица 2.5 – Исследование RS-триггера с динамическим управлением

| № | S | R | C | Q | \bar{Q} |
|---|---|---|---|---|-----------|
| 1 | 0 | 1 | 0 | | |
| 2 | 1 | 0 | 0 | | |
| 3 | 1 | 0 |  | | |
| 4 | 0 | 1 |  | | |

При воздействии фронта синхроимпульса $C \rightarrow 1$ установочные сигналы \bar{S} и \bar{R} изменяют состояние триггера Q и \bar{Q} . Одновременно с этим блокируется один из входов \bar{S} или \bar{R} , благодаря чему во время синхроимпульса триггер нечувствителен к воздействиям на установочные входы помех.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. В чем заключается логика работы RS-триггера?
2. Какие разновидности RS-триггеров Вам известны?
3. Чему равна минимально допустимая длительность установочных импульсов для асинхронного RS-триггера?
4. Чему равна минимально допустимая длительность синхроимпульса для синхронного RS-триггера?
5. В чем заключаются преимущества RS-триггера с динамическим управлением?

6. Изложить принцип действия синхронного двухступенчатого RS-триггера, RS-триггера с динамическим управлением?

7. В чем состоит назначение запрещающих связей в двухступенчатом RS-триггере?

СПИСОК ЛИТЕРАТУРЫ

1. Гутников В.С. Интегральная электроника в измерительных устройствах. - Л.: Энергия, 1980. - С. 202-206.

2. Алексенко А.Г., Шагурин И.И. Микросхемотехника / Под ред. И.П.Степаненко. - М.: Радио и связь, 1982. - С. 150-174.

ЛАБОРАТОРНАЯ РАБОТА №3

"ИССЛЕДОВАНИЕ РАБОТЫ D, T и JK- ТРИГГЕРОВ"

Цель работы: изучение принципа действия и логика функционирования D, T, JK-триггеров, приобретение практических навыков в структурном проектировании триггеров и проверка их функционирования.

1 СИНТЕЗ ТРИГГЕРОВ

1.1 Методика синтеза D-триггеров

D-триггеры имеют один информационный (установочный) вход D, один вход синхроимпульсов C и два выхода: прямой Q и инверсный \bar{Q} . Состояние триггера в n-такте Q_n определяется сигналом на информационном входе в предыдущем такте D_{n-1} . Формулу функционирования D-триггеров можно представить в виде: $Q_n=D_n$, т. е. D-триггер выполняет функцию задержки информации на один такт. D-триггер состоит из ячейки памяти (RS-триггер) и схемы управления, обеспечивающей логику функционирования $Q_n=D_{n-1}$.

Если в качестве ячейки памяти выбрать асинхронный RS-триггер на ЛЭ И-НЕ, то схему D-триггера можно представить (рисунок 3.1)

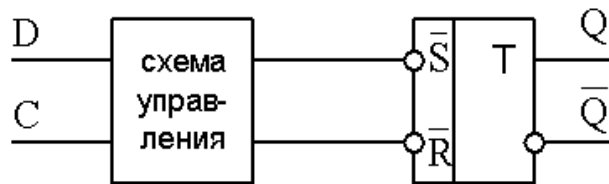


Рисунок 3.1- Структурная схема D-триггера

Для синтеза управляющей схемы определим формулу ее функционирования. Для этого составим таблицу переходов D-триггера (таблица 3.1).

Таблица 3.1 - Таблица переходов D-триггера

| № комб. | C_n | D_{n-1} | Q_{n-1} | Q_n | \bar{S} | \bar{R} |
|---------|-------|-----------|-----------|-------|-----------|-----------|
| 0 | 0 | 0 | 0 | 0 | 1 | x |
| 1 | 0 | 0 | 1 | 1 | x | 1 |
| 2 | 0 | 1 | 0 | 0 | 1 | x |
| 3 | 0 | 1 | 1 | 1 | x | 1 |
| 4 | 1 | 0 | 0 | 0 | 1 | x |
| 5 | 1 | 0 | 1 | 0 | 1 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | x | 1 |

Построим карту Карно для функции \bar{S} (рисунок 3.2)

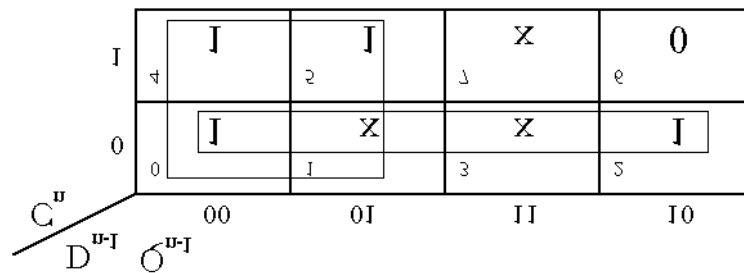


Рисунок 3.2 - Карта Карно для \bar{S}

По карте Карно определим МДНФ функции \bar{S} и приведем ее к виду, удобному для реализации на ЛЭ И-НЕ.

$$\bar{S} = \overline{\overline{C} + \overline{D_{n-1}}} = \overline{C \cdot D_{n-1}}, \quad (1)$$

Построим карту Карно для функции \bar{R} (рисунок 3.3)

| $D_{n-1} \backslash Q_{n-1}$ | | 00 | 01 | 11 | 10 |
|------------------------------|---|--------|--------|--------|--------|
| C_n | 0 | 0 x | 1 1 | 3 1 | 2 x |
| | 1 | 4 x | 5 0 | 7 1 | 6 1 |

Рисунок 3.3 - Карта Карно для \bar{R}

По карте Карно (рисунок 3.3) определим МДНФ функции \bar{R} и приведем ее к виду, удобному для реализации на ЛЭ И-НЕ.

$$\bar{R} = \overline{\bar{C} + D_{n-1}} = \overline{\bar{C} \cdot \bar{D}_{n-1}} = \overline{\bar{C} \cdot \bar{C} \cdot \bar{D}_{n-1}} = \bar{C} \cdot \bar{S}, \quad (2)$$

Управляющая схема, реализующая функции (1), (2), имеет вид, представленный на рисунке 3.4

$$\text{Из схемы (рисунок 3.4) следует } \tau_{u \min} = 3\tau_{\text{ср}}, T_{\text{п min}} = 4\tau_{\text{ср}}, F_{\text{max}} = \frac{1}{4\tau_{\text{ср}}}$$

Если схему управления синхронного двухступенчатого RS-триггера заменить на синхронизированную схему управления (ЛЭ 1, 2) (рисунок 3.4), то получим двухступенчатый D-триггер (рисунок 3.5)

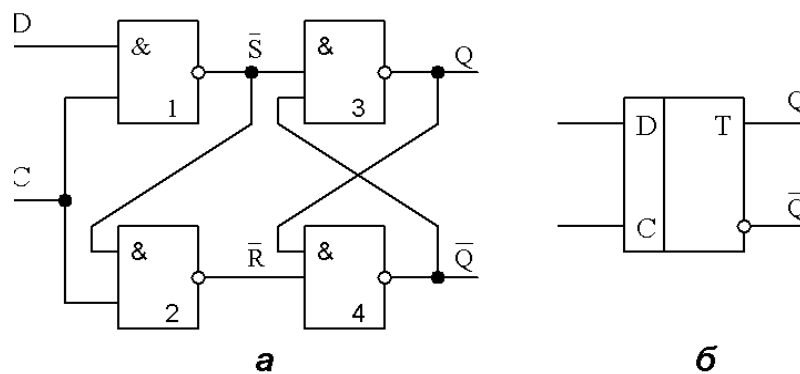


Рисунок 3.4 - D-триггер: а- схема, б- условное обозначение

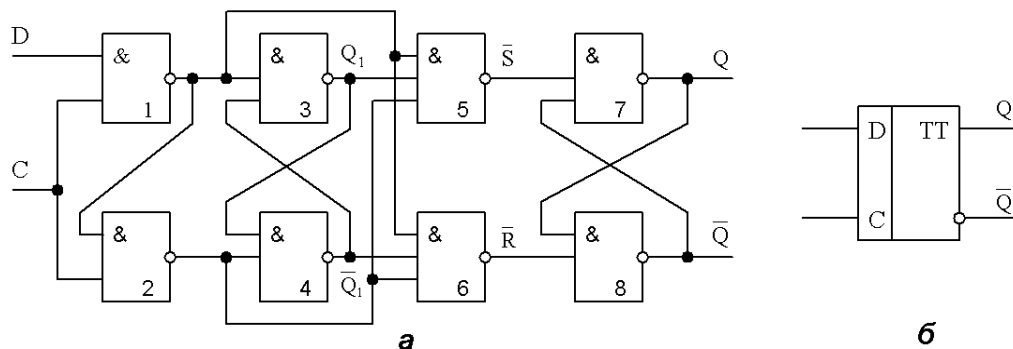


Рисунок 3.5 - Двухступенчатый D- триггер, а- схема, б- условное обозначение

По фронту синхроимпульса $C_n \rightarrow 1$ информация о состоянии входа D_{n-1} записывается в первую ступень Q_{1n} , а по срезу синхроимпульса $C_n \rightarrow 0$ - во вторую ступень Q_n .

Двухступенчатый D-триггер характеризуется следующими параметрами: минимальная длительность синхроимпульса $\tau_{u \min} = 3\tau_{cp}$, минимальный период повторения синхроимпульсов (минимальное время задержки) $T_{п \min} = 4\tau_{cp}$.

1.2 Методика синтеза Т-триггеров

Т-триггер – триггер с одним информационным входом Т (счетный вход). Т-триггер меняет свое состояние на противоположное с поступлением на его вход сигнала ($Q_n = \bar{Q}_{n-1}$), т.е. триггер производит счет входных сигналов с модулем счета, равным 2. Произведем синтез управляющей схемы для Т-триггера, ячейкой памяти которого является RS-триггер, выполненный на ЛЭ И-НЕ (рисунок 3.6)

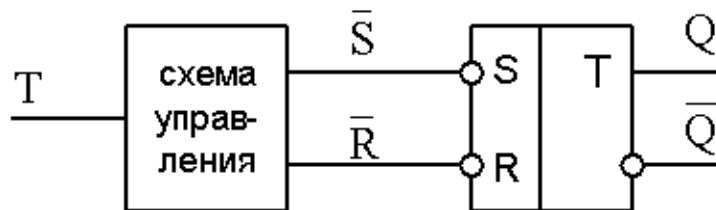


Рисунок 3.6 - Схема Т- триггера

Для выполнения синтеза составим таблицу переходов для Т-триггера (таблица 3.2)

Таблица 3.2 - Таблица переходов для Т-триггера

| № комб. | T_n | Q_{n-1} | Q_n | \bar{S} | \bar{R} |
|---------|-------|-----------|-------|-----------|-----------|
| 0 | 0 | 0 | 0 | 1 | x |
| 1 | 0 | 1 | 1 | x | 1 |
| 2 | 1 | 0 | 1 | 0 | 1 |
| 3 | 1 | 1 | 0 | 1 | 0 |

Построим карту Карно для функции \bar{S} (рисунок 3.7)

| | | | |
|-------|---|-----------|---|
| | | Q_{n-1} | |
| T_n | | 0 | 1 |
| | 0 | 0 | 1 |
| | 1 | 2 | 3 |
| | 0 | 1 | 1 |

Рисунок 3.7 - Карта Карно для \bar{S}

На основании карты Карно запишем МДНФ для функции \bar{S} и преобразуем ее к виду, удобному для реализации на ЛЭ И-НЕ:

$$\bar{S} = \overline{\overline{T_n} + Q_{n-1}} = \overline{T_n \cdot Q_{n-1}}, \quad (3)$$

Построим карту Карно для функции \bar{R} (рисунок 3.8),

| | | | |
|-------|---|-----------|---|
| | | Q_{n-1} | |
| T_n | | 0 | 1 |
| | 0 | 0 | 1 |
| | 1 | 2 | 3 |
| | 0 | 1 | 0 |

Рисунок 3.8 - Карта Карно для функции \bar{R} :

на основании которой, запишем:

$$\bar{R} = \overline{\overline{T_n} + \overline{Q_{n-1}}} = \overline{T_n \cdot Q_{n-1}}, \quad (4)$$

Управляющая схема, реализующая функции (3), (4), представлена на рисунке 3.9

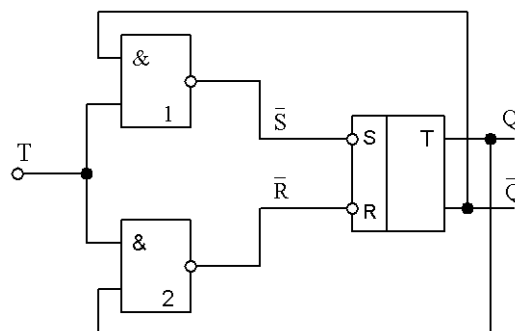


Рисунок 3.9 - Схема Т- триггера

Однако эта схема будет функционировать как Т-триггер только в случае, если длительность импульсов, подаваемых на вход Т, будет строго соот-

ветствовать времени внутренней задержки схемы, которая, как следует из рисунка 3.9, равна $3\tau_{\text{ср}}$, т. е. необходимо выполнить условие

$$\tau_{\text{вх}} = 3\tau_{\text{ср}}, \quad (5)$$

Если $\tau_{\text{вх}}$ превысит $3\tau_{\text{ср}}$, то произойдет самовозбуждение схемы и после окончания входного сигнала состояние триггера неопределенное. При $\tau_{\text{вх}} < 3\tau_{\text{ср}}$ триггер не успеет установиться до окончания входного импульса. Схему можно сделать работоспособной и для более длительных импульсов $\tau_{\text{вх}} > 3\tau_{\text{ср}}$, поставив в цепи обратной связи устройство задержки, обеспечивающее выполнение условия $\tau_{\text{вх}} \leq 3\tau_{\text{ср}} + \tau_{\text{л.з.}}$.

Более выгодным решением указанной проблемы является переход на двухступенчатые RS-триггеры, которые обладают внутренней задержкой, превышающей длительность входного импульса, либо на RS-триггеры с динамическим управлением, запускающимся фронтом входного импульса.

1.2.1 Т-триггер на основе двухступенчатого RS-триггера

Схема Т-триггера и временные диаграммы работы представлены на рисунке 3.10. Благодаря наличию обратных связей выполняются условия функционирования Т-триггера (3), (4).

Запись информации в первую ступень осуществляется по фронту счетного импульса Т, а во вторую ступень – по его срезу.

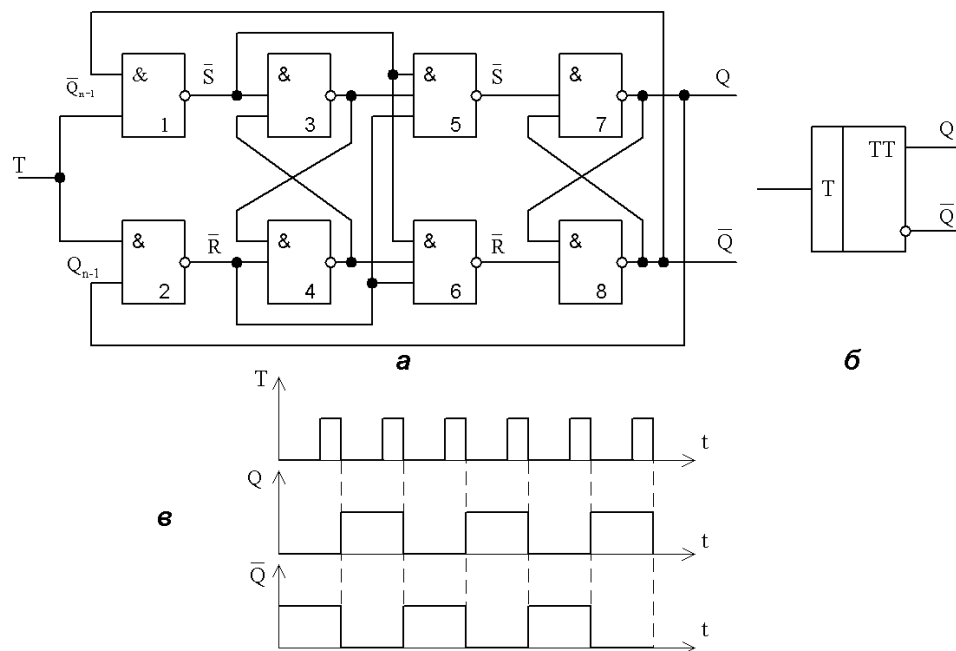


Рисунок 3.10 - Двухступенчатый Т- триггер: а- схема; б- условное обозначение; в- временные диаграммы работы

Командой на переключение триггера является состояние триггера в предшествующий период и наличие входного сигнала. С поступлением счетного импульса T_n , по его срезу, триггер устанавливается в состояние, противоположное предшествующему состоянию. Минимальный период повторения счетных импульсов $T_{n \min} = 7\tau_{cp}$, максимальная частота счетных импульсов $F_{\max} = \frac{1}{7\tau_{cp}}$, минимальная длительность счетных импульсов $\tau_{вх} = 3\tau_{cp}$.

1.2.2 Т-триггер на основе RS-триггера с динамическим управлением

Схема Т-триггера, условное обозначение и временные диаграммы представлены на рисунке 3.11.

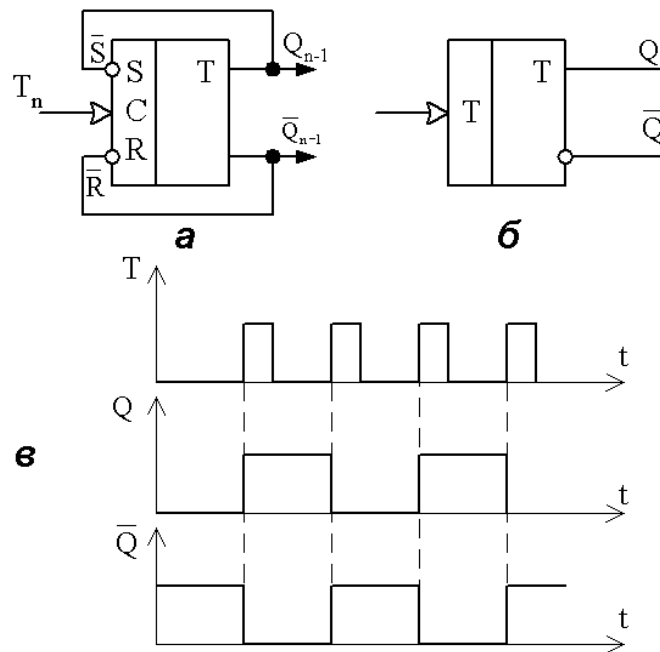


Рисунок 3.11 - Т- триггер на основе RS- триггера с динамическим управлением
а) схема соединений; б) условное обозначение; в) временные диаграммы

Минимальный период следования счетных импульсов $T_{n \min} = 5\tau_{cp}$.

1.2.3 Т-триггер на основе D-триггера

Схема и условное обозначение Т-триггера, выполненного на основе двухступенчатого D-триггера, приведены на рисунке 3.12.

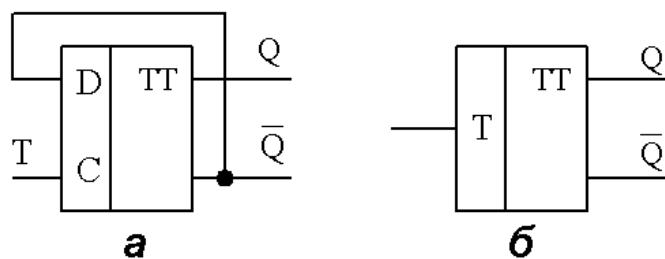


Рисунок 3.12 - Т-триггер на основе D- триггера: а- схема; б- условное обозначение

Инверсный выход D-триггера соединен со входом D, а счетные импульсы подаются на вход синхронизации C. Поскольку логика функционирования D-триггера описывается равенством $Q_n = D_{n-1}$, а $D_{n-1} = \bar{Q}_{n-1}$ (рисунок 3.12а), то $Q_n = \bar{Q}_{n-1}$, что соответствует логике функционирования Т-триггера.

1.3 Методика синтеза JK-триггера

JK-триггер имеет, подобно RS-триггеру, два информационных входа: J и K, и два выхода: Q и \bar{Q} . Это универсальный триггер. На его основе можно получить RS-триггер, Т-триггер и D-триггер. При раздельном управлении JK=0, т. е. при J=0, K=1; J=1, K=0; J=0, K=0 триггер функционирует как RS-триггер. При этом входу J соответствует вход S, а входу K - вход R. В режиме объединенных входов JK=1, т.е. J=K=1, триггер функционирует как Т-триггер.

Произведем синтез JK-триггера на основе двухступенчатого RS-триггера. Для этого составим таблицу переходов RS-триггера (таблица 3.3).

Таблица 3.3 - Таблица переходов RS-триггера

| № комб. | J_n | K_n | Q_{n-1} | Q_n | \bar{S} | \bar{R} |
|---------|-------|-------|-----------|-------|-----------|-----------|
| 0 | 0 | 0 | 0 | 0 | 1 | x |
| 1 | 0 | 0 | 1 | 1 | x | 1 |
| 2 | 0 | 1 | 0 | 0 | 1 | x |
| 3 | 0 | 1 | 1 | 0 | 1 | 0 |
| 4 | 1 | 0 | 0 | 1 | 0 | 1 |
| 5 | 1 | 0 | 1 | 1 | x | 1 |
| 6 | 1 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 0 | 1 | 0 |

По таблице 3.3 построим карту Карно для функции Q_n (рисунок 3.13)

| $K_n Q_n$ | | 00 | 01 | 11 | 10 |
|-----------|---|----|----|----|----|
| J_n | 0 | 0 | 1 | 0 | 0 |
| | 1 | 1 | 1 | 0 | 1 |

Рисунок 3.13 - Карта Карно для JK- триггера

На основании карты Карно (рисунок 3.13) запишем МДНФ функции, т. е. формулу функционирования JK-триггера

$$Q_n = J_n \cdot \bar{Q}_{n-1} + \bar{K}_n \cdot Q_{n-1}, \quad (6)$$

Построим карты Карно для функций \bar{S} , \bar{R} (рисунок 3.14а, б)

| $K_n Q_{n-1}$ | | 00 | 01 | 11 | 10 |
|---------------|---|----|----|----|----|
| J_n | 0 | 1 | x | 1 | 1 |
| | 1 | 0 | x | 1 | 0 |

| $K_n Q_{n-1}$ | | 00 | 01 | 11 | 10 |
|---------------|---|----|----|----|----|
| J_n | 0 | x | 1 | 0 | x |
| | 1 | 1 | 1 | 0 | 1 |

а
б

Рисунок 3.14 - Карты Карно: а- для \bar{S} ; б- для \bar{R}

На основании карт Карно (рисунок 3.14) запишем выражения для логических функций

$$\bar{S} = \overline{J_n + Q_{n-1}} = \overline{J_n \cdot Q_{n-1}}, \quad (7)$$

$$\bar{R} = \overline{K_n + \bar{Q}_{n-1}} = \overline{K_n \cdot Q_{n-1}} \quad (8)$$

Схема, реализующая эти функции, представлена на рисунке 3.15.

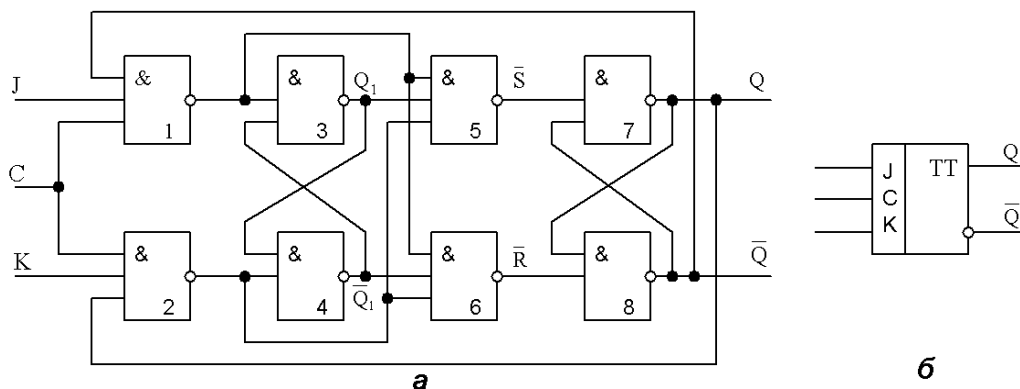


Рисунок 3.15 - JK- триггер: а- схема; б- условное обозначение

При раздельном управлении порядок функционирования триггера следующий. Пусть, например, состояние триггера $Q=0$ и на его входы поданы сигналы $J=1, K=0$. По фронту синхроимпульса $C \rightarrow 1$ триггер управления (1 ступень 3 - 4) переключается из нулевого состояния $Q_1=0$ в единичное $Q_1=1$. По срезу импульса $C \rightarrow 0$ в такое же состояние устанавливается триггер памяти (7 - 8) $Q=1$. Повторное воздействие сигналов $J=1, K=0$ и $C=1$ не вызывает изменения установившегося состояния.

Под воздействием сигналов $J=0, K=1$ по фронту $C \rightarrow 1$ и срезу $C \rightarrow 0$ синхроимпульса C последовательно устанавливаются в нулевое состояние триггер управления и триггер памяти.

При объединении входов $JK=1$ данный триггер превращается в Т-триггер. Это непосредственно следует из формулы функционирования JK-триггера (6). Если в формулу (6) подставить $J_n=1, K_n=1$, получим формулу функционирования Т-триггера.

$$Q_n = \bar{Q}_{n-1}, \quad (9)$$

Если вход J соединить через инвертор с входом K , то из JK-триггера получим D-триггер (рисунок 3.16)

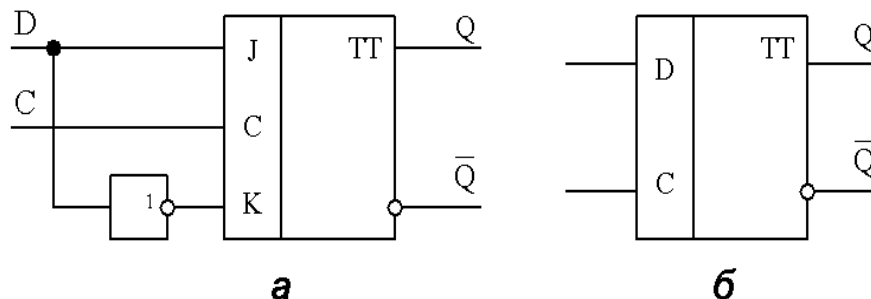


Рисунок 3.16 - D- триггер на базе JK- триггера: а- схема; б- условное обозначение

В этом можно убедиться, подставив в формулу функционирования JK-триггера (6) $J_n=D_{n-1}, K_n = \bar{D}_{n-1}$. При этом получим формулу функционирования D-триггера: $Q_n=D_{n-1}$

2 ЗАДАНИЕ И ПОРЯДОК ЕГО ВЫПОЛНЕНИЯ

2.1 Исследовать одноступенчатый D-триггер

- 1) Собрать схему одноступенчатого D-триггера (рисунок 3.4);
- 2) Снять таблицу переходов D-триггера (таблица 3.4). Для этого после-

довательно устанавливать значения Q_{n-1} , D_{n-1} и C_n в соответствии с табл. 3.4 и контролировать состояние триггера Q_n .

Требуемое Q_{n-1} можно получить при помощи установки $D_{n-1}=Q_{n-1}$ и $C_n=1$. Установку $C_n=1$ производить путем включения тумблера "лог. уров. С" с 0 на 1 и затем с 1 на 0, т. е. 0-1-0.

Сравнить $Q_{n \text{ эксп}}$ с $Q_{n \text{ расч.}}$. Сделать вывод о правильности функционирования собранной схемы D-триггера.

Таблица 3.4 – Таблица переходов D-триггера

| № комб. | Q_{n-1} | D_{n-1} | C_n | $Q_{n \text{ эксп}}$ | $Q_n=Q_{n-1} \quad C=0$ $Q_n=D_{n-1} \quad C=1$ |
|---------|-----------|-----------|-----------|----------------------|--|
| 0 | 0 | 0 | 0 | | |
| 1 | 0 | 1 | 0 | | |
| 2 | 1 | 0 | 0 | | |
| 3 | 1 | 1 | 0 | | |
| 4 | 0 | 0 | 0 - 1 - 0 | | |
| 5 | 0 | 1 | 0 - 1 - 0 | | |
| 6 | 1 | 0 | 0 - 1 - 0 | | |
| 7 | 1 | 1 | 0 - 1 - 0 | | |

3.2 Исследовать двухступенчатый D-триггер

- 1) Собрать схему двухступенчатого D-триггера (рисунок 3.5);
- 2) Снять таблицу переходов исследуемого D-триггера. Убедиться при этом, что информация о состоянии входа D_{n-1} по фронту синхроимпульса $C \overset{1}{\uparrow} 0$ (0 - 1) записывается в первую ступень Q_{1n} , а по срезу $C \overset{1}{\downarrow} 0$ (1 - 0) - во вторую Q_n . Сделать вывод о правильности функционирования собранной схемы.

3.3 Исследовать Т-триггер, выполненный на основе RS-триггера с динамическим управлением

- 1) Собрать схему исследуемого триггера (рисунок 3.11а);
- 2) Снять таблицу переходов исследуемого Т-триггера (таблица 3.5). Убедиться в том, что запись информации в исследуемом Т-триггере осу-

осуществляется по фронту счетного импульса $T_n \circ \uparrow^1$ (0 - 1). Установку Q_{n-1} осуществлять при помощи \bar{S}, \bar{R} . Сделать вывод о правильности функционирования собранной схемы триггера.

Таблица 3.5 - Таблица переходов Т-триггера

| № комб. | Q_{n-1} | T_n | $Q_n \text{ эксп}$ | $Q_n = \bar{Q}_{n-1}$ при $T = 0 \rightarrow 1$ |
|---------|-----------|-------|--------------------|--|
| 0 | 0 | 0-1 | | |
| 1 | 0 | 1-0 | | |
| 2 | 1 | 0-1 | | |
| 3 | 1 | 1-0 | | |

3.4 Исследовать двухступенчатый Т-триггер

- 1) Собрать схему двухступенчатого Т-триггера (рисунок 3.10а);
- 2) Снять таблицу истинности исследуемого Т-триггера (таблица 3.6).

Таблица 3.6 - Таблица истинности Т-триггера

| Q_{n-1} | T_n | Q_{1n} | $Q_n \text{ эксп}$ | $Q_n = \bar{Q}_{n-1}$ при $C = 1 \rightarrow 0$ |
|-----------|-------|----------|--------------------|--|
| 0 | 0 | | | |
| 0 | 0 - 1 | | | |
| 0 | 1 - 0 | | | |
| 1 | 0 | | | |
| 1 | 0 - 1 | | | |
| 1 | 1 - 0 | | | |

Убедиться, что запись информации в первую ступень Q_{1n} осуществляется по фронту счетного импульса $T_n(0 - 1)$, а запись во вторую ступень Q_n - по срезу $T_n(1 - 0)$. Установку Q_{n-1} осуществлять при помощи \bar{S}, \bar{R} (рисунок 3.10а). Сделать вывод о правильности функционирования собранной схемы триггера;

- 3) Измерить максимальную частоту переключения исследуемого триггера.

3.5 Исследовать универсальный JK-триггер

- 1) Собрать схему JK-триггера на основе двухступенчатого RS-триггера (рисунок 3.15а);

2) Снять таблицу переходов JK-триггера в режиме отдельных входов (таблица 3.7).

Таблица 3.7 - Таблица переходов JK-триггера

| J | K | C | Q ₁ эксп | Q _{эксп} | Q _{расчетн} |
|---|---|-------|---------------------|-------------------|----------------------|
| 1 | 0 | 0 | | | |
| 1 | 0 | 0 - 1 | | | |
| 1 | 0 | 1 - 0 | | | |
| 0 | 1 | 0 | | | |
| 0 | 1 | 0 - 1 | | | |
| 0 | 1 | 1 - 0 | | | |

Производя установки на информационных входах J и K, указанные в таблице 3.7, и воспроизводя импульс на синхровходе C путем включения 0 - 1 и выключения 1 - 0 тумблера "лог. ур. C", определять и записывать в таблице 3.7 состояние первой ступени Q₁ и второй ступени Q. Убедиться при этом, что запись информации в первую ступень осуществляется по фронту синхроимпульса C (0 - 1), а запись во вторую ступень - по срезу синхроимпульса C (1 - 0);

3) снять таблицу переходов в режиме объединенных входов J=K=1 (таблица 3.8).

Таблица 3.8 - Таблица переходов в режиме объединенных входов J=K=1

| J | K | Q _{n-1} | C _n =T _n | Q _{1n} | Q _n | Q _n = $\overline{Q_{n-1}}$ T _n →1 - 0 |
|---|---|------------------|--------------------------------|-----------------|----------------|--|
| 1 | 1 | | 0 | | | |
| 1 | 1 | | 0 - 1 | | | |
| 1 | 1 | | 1 - 0 | | | |
| 1 | 1 | | 0 | | | |
| 1 | 1 | | 0 - 1 | | | |
| 1 | 1 | | 1 - 0 | | | |

Для этого, оставив входы J и K разомкнутыми, устанавливать указанные в таблице 3.8 значения Q_{n-1} при помощи установочных входов \bar{S} и \bar{R} и значения T_n при помощи тумблера "лог. ур. C". Цифровым индикатором логического уровня определять состояния Q_{1n}, Q_n и записать их в таблицу 3.8.

Убедиться в том, что запись информации в первую ступень осуществляется по фронту счетного импульса T_n (0 - 1), а запись во вторую ступень - по срезу T_n (1 - 0). Сделать вывод о правильном функционировании собран-

ной схемы Т-триггера.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Какую функцию выполняет D-триггер?
2. Какие схемные разновидности D-триггеров вам известны?
3. Какую функцию выполняет Т-триггер?
4. Изложите методику синтеза Т-триггера.
5. Какие изменения необходимо сделать в D-триггере, для того чтобы он выполнял функции Т-триггера?
6. В чем состоят принципиальные отличия JK-триггера от RS-триггера?
7. Назовите режимы работы JK-триггера.

СПИСОК ЛИТЕРАТУРЫ

1. Гутников В. С. Интегральная электроника в измерительных устройствах. - Л.: Энергия, 1980. - С.202-206.
2. Алексенко А. Г. Шагурин И. И. Микросхемотехника: Учеб. пособие для вузов / Под ред. И. П. Степаненко. - М.: Радио и связь, 1982. - 416 с.
3. Шило В. Л. Популярныe цифровые микросхемы. - М.: Радио и связь, 1987. - 352 с.
4. Р. Токхейм. Основы цифровой электроники. Пер. с англ. – М.: Мир, 1988. – С.140-162.

ЛАБОРАТОРНАЯ РАБОТА №4

"ИССЛЕДОВАНИЕ СИНХРОННОГО ЧЕТЫРЕХРАЗЯДНОГО РЕВЕРСИВНОГО ДВОИЧНОГО СЧЕТЧИКА К155ИЕ7"

Цель работы: закрепление и углубление лекционного материала по счетчикам в интегральном исполнении. Приобретение навыков по исследованию режимов функционирования и решению задач.

1 РЕЖИМЫ РАБОТЫ ИССЛЕДУЕМОГО СЧЕТЧИКА

Необходимо знать, что счетчик состоит из четырех двухступенчатых триггеров, работающих по принципу ведущий-ведомый, дешифратора счета

и логической схемы предварительной установки и выбора режима. Принципиальная схема счетчика приведена на рисунке 4.1.

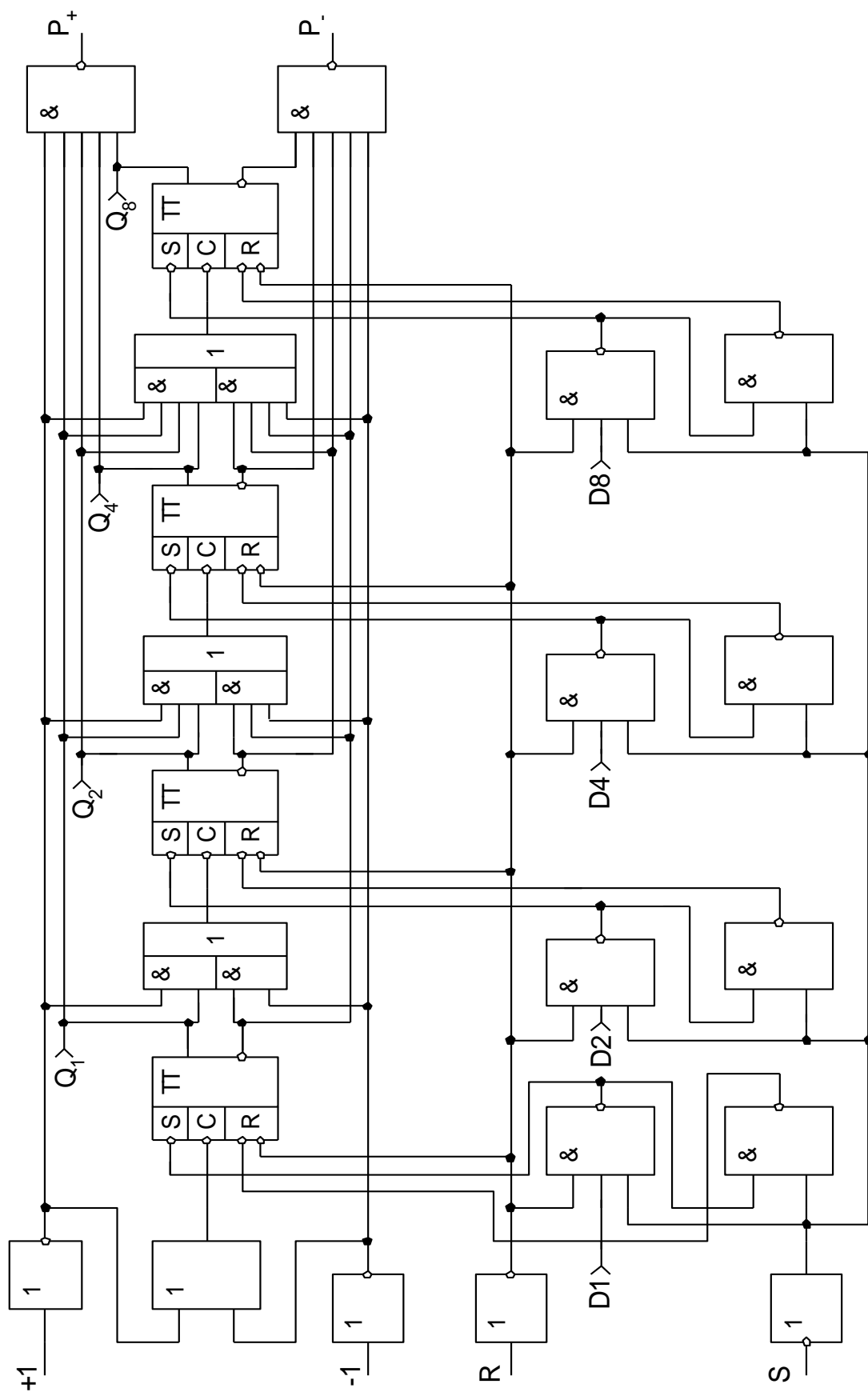


Рисунок 4.1 - Синхронный четырехразрядный реверсивный двоичный счетчик К155ИЕ7

Схема имеет два счетных входа (вход в режиме суммирования + 1 и вход в режиме вычитания – 1), четыре информационных входа параллельной записи D_1, D_2, D_4, D_8 , управляющий вход S , разрешающий параллельную запись информации, вход установки в "0", выходы четырех разрядов Q_1, Q_2, Q_4, Q_8 , выходы прямого P^+ и обратного P^- переносов, позволяющие осуществить каскадное соединение счетчиков без дополнительной логики.

Состояния входов и выходов счетчика при различных режимах его работы приведены в таблице 4.1

Таблица 4.1 - Состояния входов и выходов счетчика при различных режимах его работы

| Режим работы | Входы | | | | | | | | Выходы | | | |
|----------------------------|-------|---|-------|-------|-------|-------|----|----|--------|-------|-------|-------|
| | R | S | D_1 | D_2 | D_4 | D_8 | +1 | -1 | Q_1 | Q_2 | Q_4 | Q_8 |
| Установка в "0" | 1 | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 |
| Параллельная запись | 0 | 0 | 1 | 0 | 1 | 0 | X | X | 1 | 0 | 1 | 0 |
| Хранение | 0 | 1 | X | X | X | X | - | - | 1 | 0 | 1 | 0 |
| Счет в режиме суммирования | 0 | 1 | X | X | X | X | f | 1 | * | * | * | * |
| Счет в режиме вычитания | 0 | 1 | X | X | X | X | 1 | f | * | * | * | * |

Примечание. X - состояние входов безразличное;

f - ограниченная последовательность импульсов на счетных входах;

* - состояния выходов меняются в соответствии с диаграммой работы счетчика.

Установка счетчика в "0" обеспечивается подачей на установочный вход R уровня логической "1". При этом отключается вход S, разрешающий запись, и входы параллельной записи, так как независимо от состояний $D_1 - D_8, +1, -1$, и S на входах всех триггеров устанавливается $R=0, S=1$.

Режим параллельной записи информации обеспечивается подачей на входы R и S уровня логического "0". При этом импульсы, поданные на информационные входы $D_1 - D_8$, появятся на выходах триггеров независимо от состояния входов +1 и -1. В этом случае состояния установочных входов R и S триггеров определяются состоянием входов параллельной записи. Напри-

мер, при $D_1 = 1$ установочные входы первого триггера будут $S=0$, $R=1$, что соответствует $Q_1=1$. Если $D_1=0$, то $S=1$, $R=0$ и $Q_1=0$.

Режим хранения информации обеспечивается подачей на вход S уровня логической “1”, а на вход R - уровня логического “0”. В этом случае на установочных входах всех триггеров будут логические “1” ($R=1$ и $S=1$). При этом запрещается параллельная запись новой информации и до прихода тактового импульса (+1 или -1) предыдущая информация хранится в счетчике. Поступление тактового импульса приводит к изменению состояния счетчика на следующее в последовательности двоичного счета. Дальнейший счет осуществляется по каждому положительному перепаду тактового импульса при наличии на втором счетном входе уровня логической “1”.

В счетчике применен параллельный способ межразрядного переноса. Это значит, что импульс переноса с выхода триггера младшего разряда подается параллельно через логические схемы И-ИЛИ на входы триггеров всех последующих разрядов. Через логические схемы ИЛИ (1-й триггер) и И-ИЛИ (2-й, 3-й и 4-й триггеры) на входы всех триггеров подаются тактирующие импульсы. В режиме суммирования действуют импульсы с прямых выходов триггеров. Импульсы с инверсивных выходов на работу последующих триггеров не влияют, так как клапаны, пропускающие, импульсы, закрыты логическим уровнем “1” на входе -1.

В режиме вычитания аналогично закрываются клапаны, пропускающие импульсы с прямых выходов триггеров, а действующими являются импульсы с инверсивных выходов триггеров.

При параллельном способе переноса задержка выходного импульса счетчика относительно тактирующего импульса определяется задержкой в одном триггере и логической схеме и не накапливается, как это имеет место при последовательном способе переноса. Это дает возможность повышать частоту тактовых импульсов, исключая ошибку при дешифрации, адресации и т.п. выходного кода.

Импульсы переноса P_+ и P_- формируются в схемах 5И-НЕ. Импульс переноса P_+ появляется на выходе при наличии на всех входах схемы 5И-НЕ логических “1”, т.е. при переполнении счетчика, когда записано число 15 (1111), и при условии, что тактирующий импульс на входе +1 равен логическому “0”.

Импульс обратного переноса P_- формируется при появлении на выходах всех разрядов логического “0” и когда тактирующий импульс, поданный на вход -1, находится в состоянии логического “0”.

Временные диаграммы работы счетчика в режиме суммирования и вычитания приведены на рисунках 4.2, 4.3 соответственно.

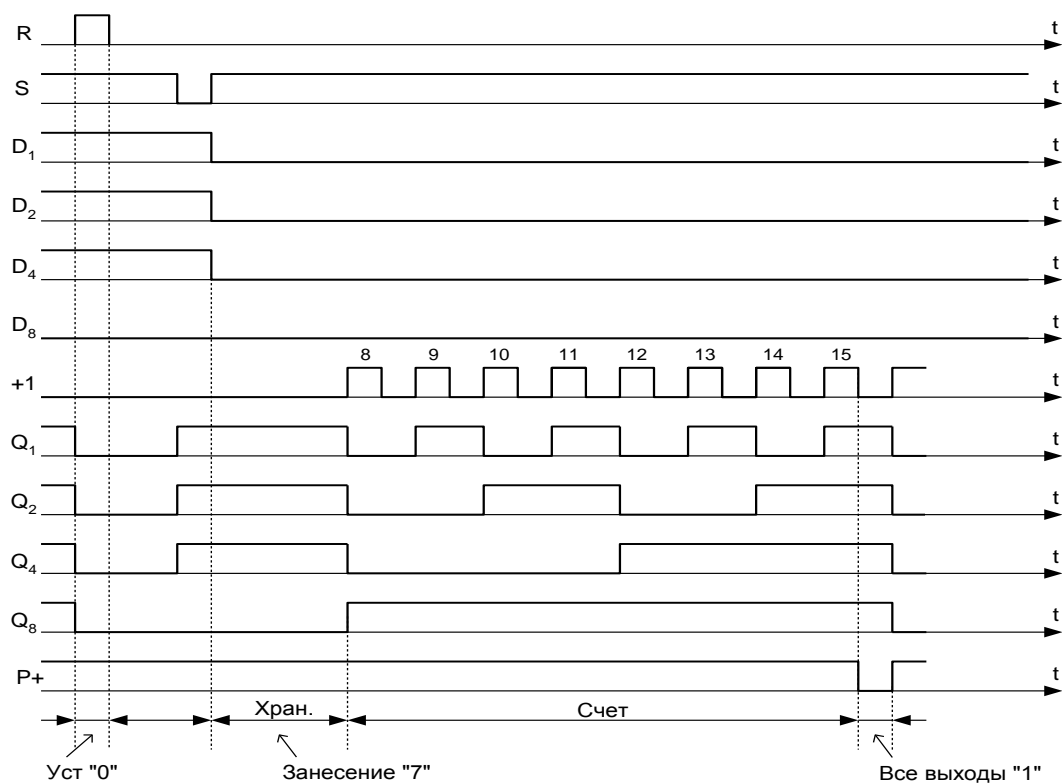


Рисунок 4.2 - Диаграмма работы счетчика в режиме суммирования

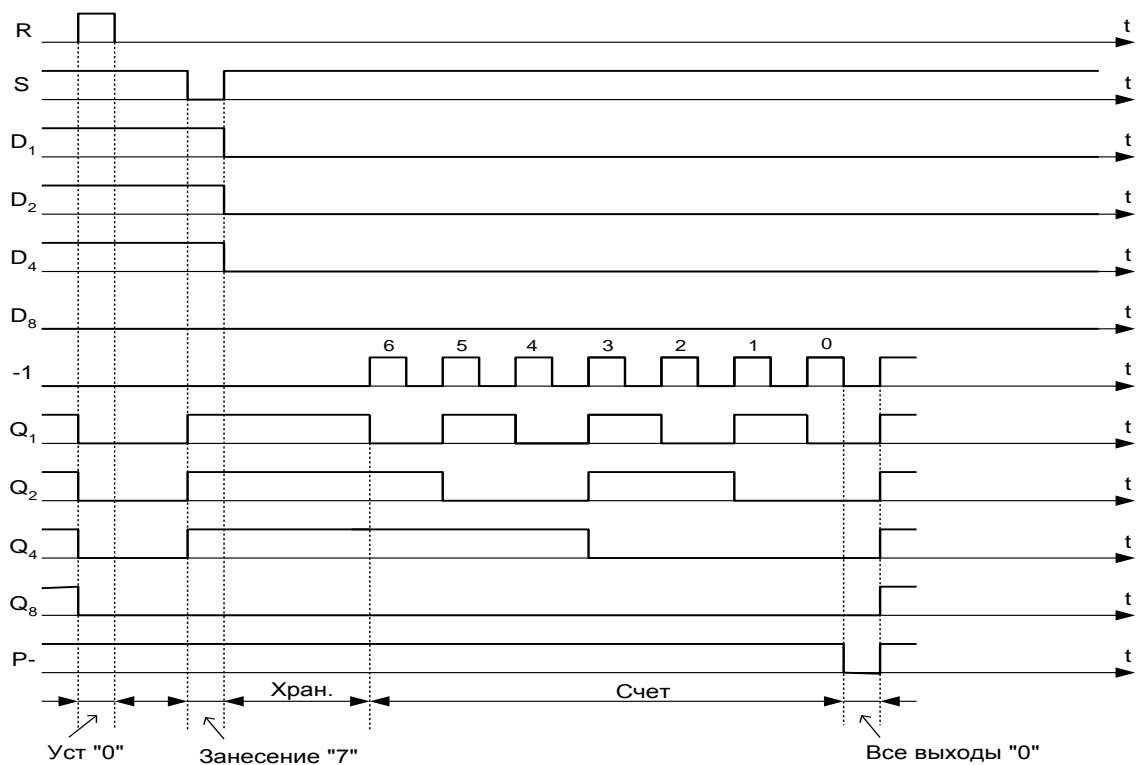


Рисунок 4.3 - Диаграмма работы счетчика в режиме вычитания

2 ЗАДАНИЕ И ПОРЯДОК ЕГО ВЫПОЛНЕНИЯ

2.1 Исследовать счетчик в режиме установки в “0”

Для этого на вход R подать уровень логической “1”. Убедиться в том, что, независимо от установки S, +1, -1 и информационных входов D₁, D₂, D₄, D₈, состояния выходов счетчика Q₁, Q₂, Q₄, Q₈, находятся на уровне логического нуля. Индикация состояния выходов осуществляется при помощи светодиодов. Светящийся светодиод показывает на выходе логическую “1”, погасший диод – логический “0”.

2.2 Исследовать счетчик в режиме параллельной записи информации

Установить на входе R уровень логического “0”, а на входе S - логической “1”. Установить на входах D₁–D₈ заданное число, например “9” (1001) и подать на вход S уровень логического “0”. Записать состояния выходов. Повторить опыт, записав число “7”.

Подать на входы +1 и -1 поочередно тактирующие импульсы от одного из датчиков логического уровня. Убедиться в отсутствии их влияния на состояние счетчика. Используя функциональную схему, объяснить результаты исследования.

2.3 Исследовать счетчик в режиме хранения информации

Для этого подать на вход S уровень логической “1”. Не изменяя состояний на входах +1 и -1, произвести изменения на входах D₁, D₂, D₄ и D₈ произвольно. Убедиться в том, что записанная по параллельным входам информация не изменяется. Объяснить полученные результаты.

2.4 Исследовать счетчик в режиме суммирования

а) установить режим суммирования в соответствии с таблицей 1. Все триггеры установить в нулевое состояние. Подать тактирующие импульсы на вход +1 и переключением тумблера источника логических уровней “С” последовательно заполнить счетчик пятнадцатью импульсами. Состояния выходов и импульса переноса записать в таблицу 4.2;

б) записать в счетчик параллельным кодом число “9”. Последовательно подать на вход +1 число импульсов, необходимое для переполнения счетчи-

ка, т.е. шесть импульсов. Состояния выходов и импульса переноса P_+ записать в таблицу 4.3. Отметить при каком уровне тактового импульса формируется сигнал переноса.

Таблица 4.2 - Состояния выходов импульса переноса

| Номер тактовых импульсов | Q_8 | Q_4 | Q_2 | Q_1 | P_+ |
|--------------------------|-------|-------|-------|-------|-------|
| 0 | | | | | |
| 1 | | | | | |
| 2 | | | | | |
| 3 | | | | | |
| 4 | | | | | |
| 5 | | | | | |
| 6 | | | | | |
| 7 | | | | | |
| 8 | | | | | |
| 9 | | | | | |
| 10 | | | | | |
| 11 | | | | | |
| 12 | | | | | |
| 13 | | | | | |
| 14 | | | | | |
| 15 | | | | | |
| 1/0 | | | | | |

Таблица 4.3 - Состояния выходов и импульса переноса P_+

| Записанное число и номер импульса | Q_8 | Q_4 | Q_2 | Q_1 | P_+ |
|-----------------------------------|-------|-------|-------|-------|-------|
| “9” | | | | | |
| 1 | | | | | |
| 2 | | | | | |
| 3 | | | | | |
| 4 | | | | | |
| 5 | | | | | |
| 6 | | | | | |
| 1/0 | | | | | |

Нарисовать временные диаграммы работы счетчика и сравнить с рисунком 4.2.

2.5 Исследовать счетчик в режиме вычитания

а) установить режим вычитания в соответствии с таблицей 4.1. Все триггеры установить в состояние логической “1”. На вход -1 последовательно подать 15 импульсов. Состояния выходов записать в таблицу 4.4.

Таблица 4.4 - Состояния выходов и импульса переноса P_н

| Номер тактовых им- пульсов | Q ₈ | Q ₄ | Q ₂ | Q ₁ | P _н |
|-------------------------------|----------------|----------------|----------------|----------------|----------------|
| 0 | | | | | |
| 1 | | | | | |
| 2 | | | | | |
| 3 | | | | | |
| 4 | | | | | |
| 5 | | | | | |
| 6 | | | | | |
| 7 | | | | | |
| 8 | | | | | |
| 9 | | | | | |
| 10 | | | | | |
| 11 | | | | | |
| 12 | | | | | |
| 13 | | | | | |
| 14 | | | | | |
| 15 | | | | | |
| 1/0 | | | | | |

б) записать в счетчик параллельным кодом число “7”. Подать на вход -1 число импульсов, при котором счетчик перейдет в нулевое состояние. Записать состояния выходов и импульса переноса P_н в таблицу 4.5.

Таблица 4.5 - Состояния выходов и импульса переноса P_н

| Записанное число и номер импульса | Q ₈ | Q ₄ | Q ₂ | Q ₁ | P _н |
|--------------------------------------|----------------|----------------|----------------|----------------|----------------|
| “7” | | | | | |
| 1 | | | | | |
| 2 | | | | | |
| 3 | | | | | |
| 4 | | | | | |
| 5 | | | | | |
| 6 | | | | | |
| 7 | | | | | |
| 1/0 | | | | | |

Сравнить данные эксперимента с временной диаграммой работы счетчика (рисунок 4.3).

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Из каких элементов состоит счетчик K155IE7?
2. Сколько входов имеет счетчик K155IE7? Сформулируйте назначение каждого входа.

3. Сколько выходов имеет счетчик K155ИЕ7?
4. Начертите условное обозначение счетчика K155ИЕ7?
5. На каких триггерах собран счетчик K155ИЕ7? Изложите логику функционирования этих триггеров.
6. Назовите режимы работы исследуемого счетчика.
7. Как осуществляется переключение счетчика с режима суммирования в режим вычитания?
8. Изложите порядок установки исследуемого счетчика в “0”.
9. Изложите по схеме рисунка 1 и временным диаграммам порядок осуществления параллельной записи информации в счетчике K155ИЕ7.
10. Чем обеспечивается режим хранения информации в счетчике K155ИЕ7?
11. По схеме рисунка 1 и по временным диаграммам рисунка 3 изложите последовательность записи числа параллельным кодом в режиме вычитания.
12. Какие функции может выполнять счетчик K155ИЕ7?

СПИСОК ЛИТЕРАТУРЫ

1. Гутников В.С. Интегральная электроника в измерительных устройствах. - Л.: Энергия, 1980.
2. Алексеенко А.Г., Шагурин И.И. Микросхемотехника. – М.: “Радио и связь”, 1982, с. 208-210.
3. Титце У., Шенк К. Полупроводниковая схемотехника. - М.: Мир, 1982, с. 326, 354-356.
4. Гусев В.Г. Гусев Ю.М. Электроника. – М.: Высш. шк., 1982.
5. Шило В. Л. Популярные цифровые микросхемы. - М.: Радио и связь, 1987. - 352 с.

ЛАБОРАТОРНАЯ РАБОТА №5

"КОНТРОЛЬ ФУНКЦИОНИРОВАНИЯ РЕГИСТРА СДВИГА K155ИР13 И ЦИФРОВОГО КОММУТАТОРА K155КП7"

Цель работы: закрепление и углубление лекционного материала по регистрам сдвига и цифровым коммутаторам в интегральном исполнении. Приобретение навыков в контроле функционирования регистров сдвига и цифровых коммутаторов.

1 СОСТАВ И РЕЖИМЫ РАБОТЫ РЕГИСТРА СДВИГА И ЦИФРОВОГО КОММУТАТОРА

Для выполнения лабораторной работы необходимо изучить состав регистра сдвига К155ИР13 (рисунок 5.1).

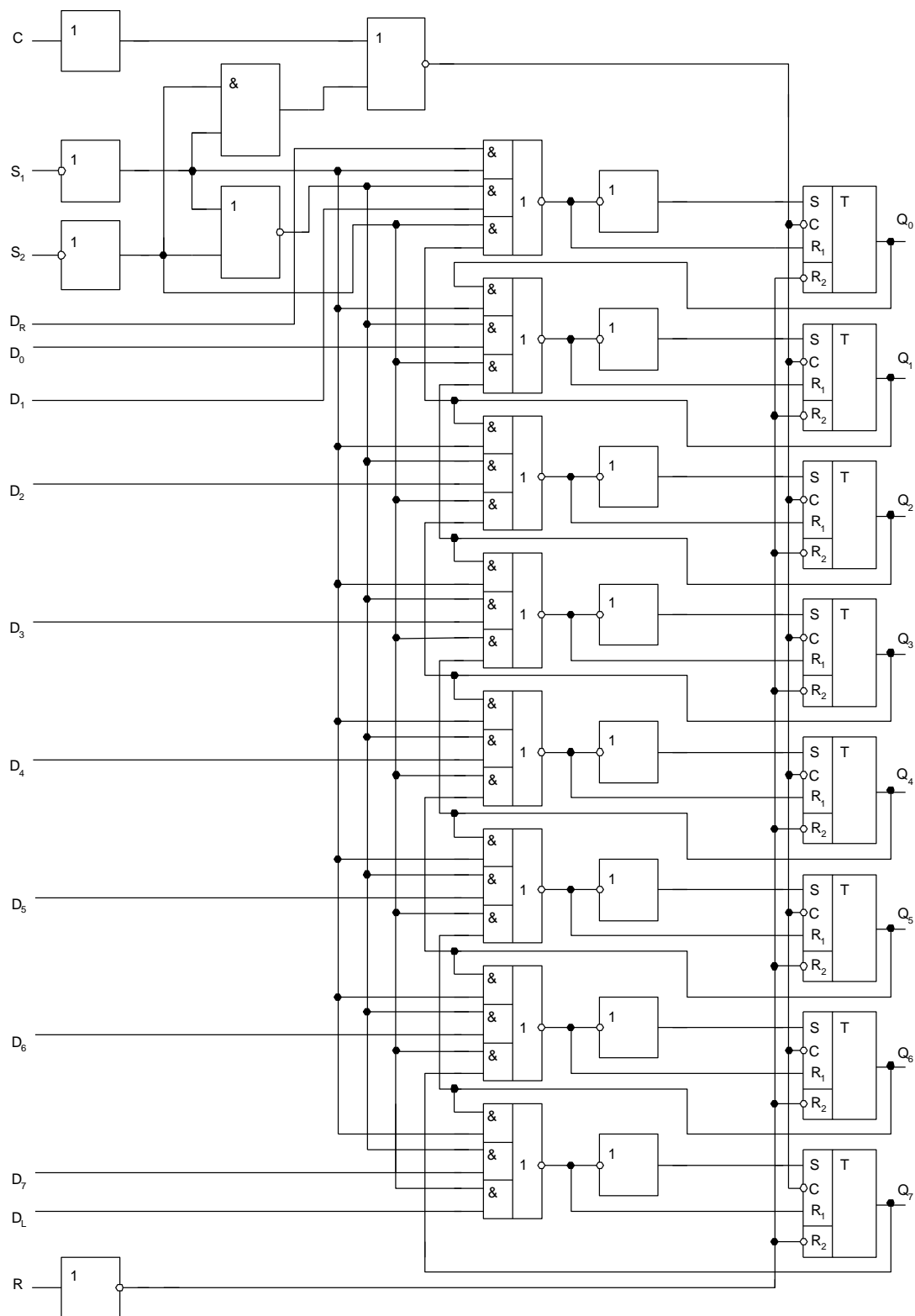


Рисунок 5.1 - Принципиальная схема регистра сдвига К155ИР13

Он состоит из восьми триггеров, логической схемы, обеспечивающей параллельную и последовательную запись информации, логической схемы установки заданного режима работы; имеет входы последовательного ввода информации при сдвиге вправо D_R и при сдвиге влево D_L , восемь входов параллельного ввода информации $D_0 - D_7$; тактовый вход C , управляющие входы S_1 и S_0 , необходимые для выбора режима работы, вход установки регистра в "0" R и восемь выходов разрядов $Q_1 - Q_8$. Режимы работы регистра приведены в таблице 5.1.

Таблица 5.1 - Режимы работы регистра

| Режим работы | S_1 | S_0 | R | D_R | D_L | C | Выходы $Q_0 \dots Q_7$ |
|--|-------|-------|-----|-------|-------|-----|------------------------|
| Установка в "0" | | | | | | | |
| Последовательный ввод информации, сдвиг вправо | | | | | | | |
| Последовательный ввод информации, сдвиг влево | | | | | | | |
| Параллельный ввод информации | | | | | | | |
| Хранение | | | | | | | |

Примечание. f - последовательность тактовых импульсов;

* - в соответствии с временной диаграммой работы.

Установка регистра в "0" осуществляется подачей на вход R уровня логического "0". При этом независимо от состояния входов на всех выходах разрядов устанавливается "0".

В режиме последовательного ввода информации со сдвигом вправо на вход S_1 подается уровень логического "0", а на вход S_0 - уровень логической "1". Информация в последовательном коде поступает на информационный вход D_R . Сдвиг на один разряд вправо выполняется синхронно при каждом положительном перепаде тактового импульса (рисунок 5.2).

В режиме последовательного ввода информации со сдвигом влево на вход S_1 подается уровень логической "1", а на вход S_0 - уровень логического "0". Информация в последовательном коде подается на вход D_L . Сдвиг влево на один разряд, выполняющийся при каждом положительном перепаде тактового импульса (рисунок 5.3).

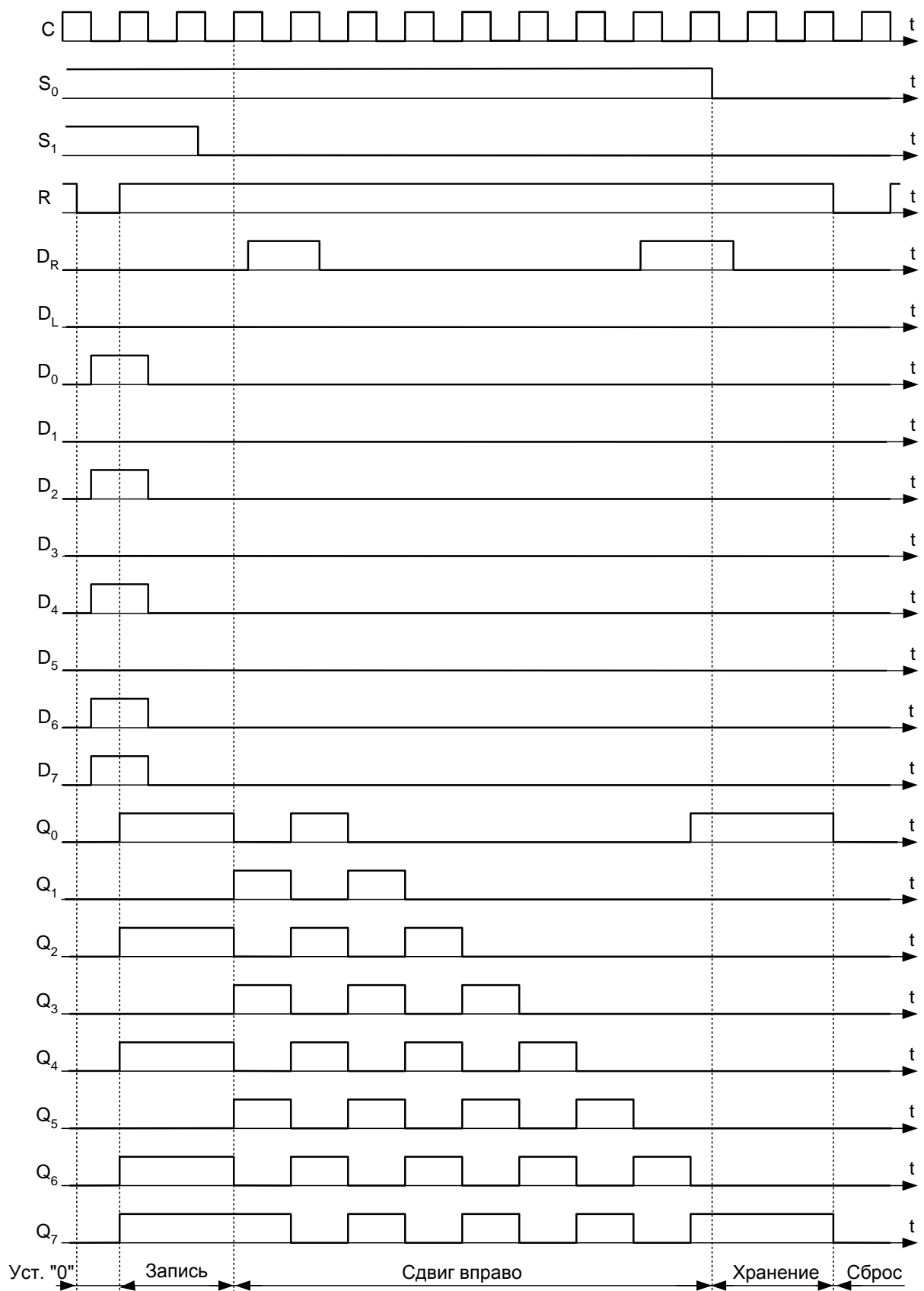


Рисунок 5.2 - Временные диаграммы работы регистра при сдвиге информации вправо

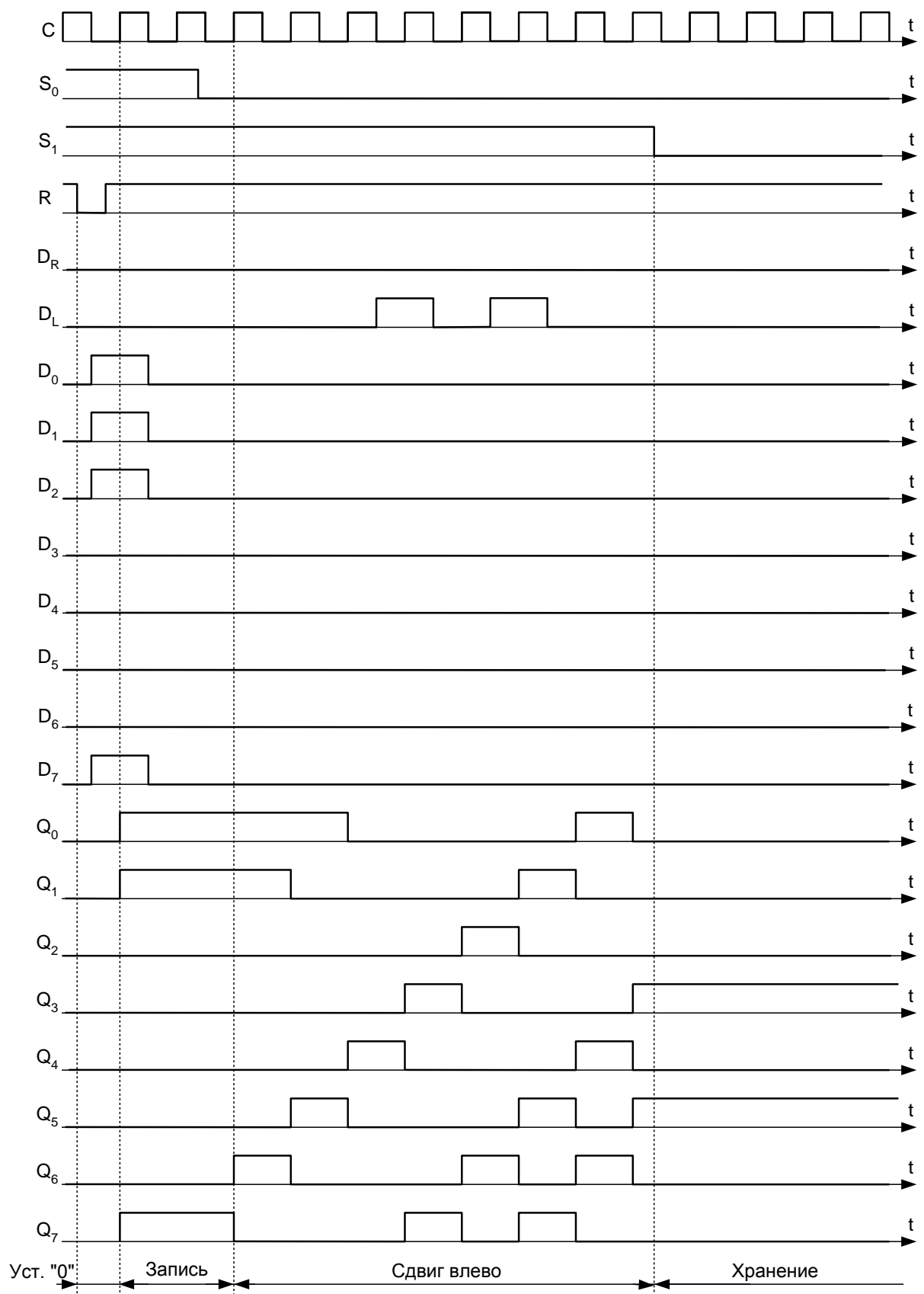


Рисунок 5.3 - Временные диаграммы работы регистра при сдвиге информации влево

При параллельном занесении информации на оба установочных входа S_1 и S_0 подается уровень логической “1”. При этом на входах логических схем И-ИЛИ-НЕ будет $\bar{S}_1=S_0=0$, $S_1 \cdot S_0=1$. Это разрешает прохождение на входы триггеров только сигналов с информационных входов D_0 – D_7 .

Поданная на входы D_0 – D_7 информация в виде параллельного кода появляется на выходе регистра синхронно с положительным перепадом тактового импульса.

В режиме хранения на входы S_1 и S_0 подаются уровни логического “0”. В этом случае тактирующие импульсы не пропускаются на входы триггеров всех разрядов и триггеры не переключаются.

Изменения режимов работы (S_1 и S_0) надо производить только тогда, когда тактирующий импульс находится в состоянии логической “1”. В этом случае на тактирующих входах триггеров устанавливается логический “0” и триггеры при изменении сигналов на входах S_1 и S_0 не переключаются.

Состояния выходов разрядов регистра в зависимости от состояния установочных и информационных входов определяются по формулам:

$$Q_0 = D_R S_1 + (S_1 + S_0) D_0 + \bar{S}_0 Q_1;$$

$$Q_1 = Q_0 S_1 + (S_1 + S_0) D_1 + \bar{S}_0 Q_2;$$

$$\dots$$

$$Q_7 = Q_6 S_1 + (S_1 + S_0) D_7 + \bar{S}_0 Q_0;$$

Данные соотношения дают возможность легко проследить прохождение сигналов в регистре по функциональной схеме (рисунок 5.1).

Схема цифрового коммутатора K155КП7 представлена на рисунке 5.4.

Коммутатор имеет 8 информационных входов $x_1 \dots x_8$, 3 управляющих входа $A1$, $A2$, $A3$, стробирующий вход R и два выхода: прямой $Y1$, инверсный $Y2$.

В зависимости от кодовой комбинации на управляющих входах открывается одна из схем И. Сигнал с соответствующего информационного входа через открывающуюся схему И проходит на выход. При этом стробирующий вход R должен находиться в состоянии логического нуля.

Контроль функционирования коммутатора производится в статическом режиме. Для установки кода адреса используется счетчик K155ИЕ7 (рисунок 5.5), выходы первых трех разрядов которого соединяются с входами $A1$, $A2$, $A3$ соответственно, а на вход +1 подаются импульсы счета от датчика логических уровней (тумблером). Контроль установки адреса осуществляется по светодиодам, подключенным к выходам счетчика, а контроль состояния выхода коммутатора – по индикатору уровня.

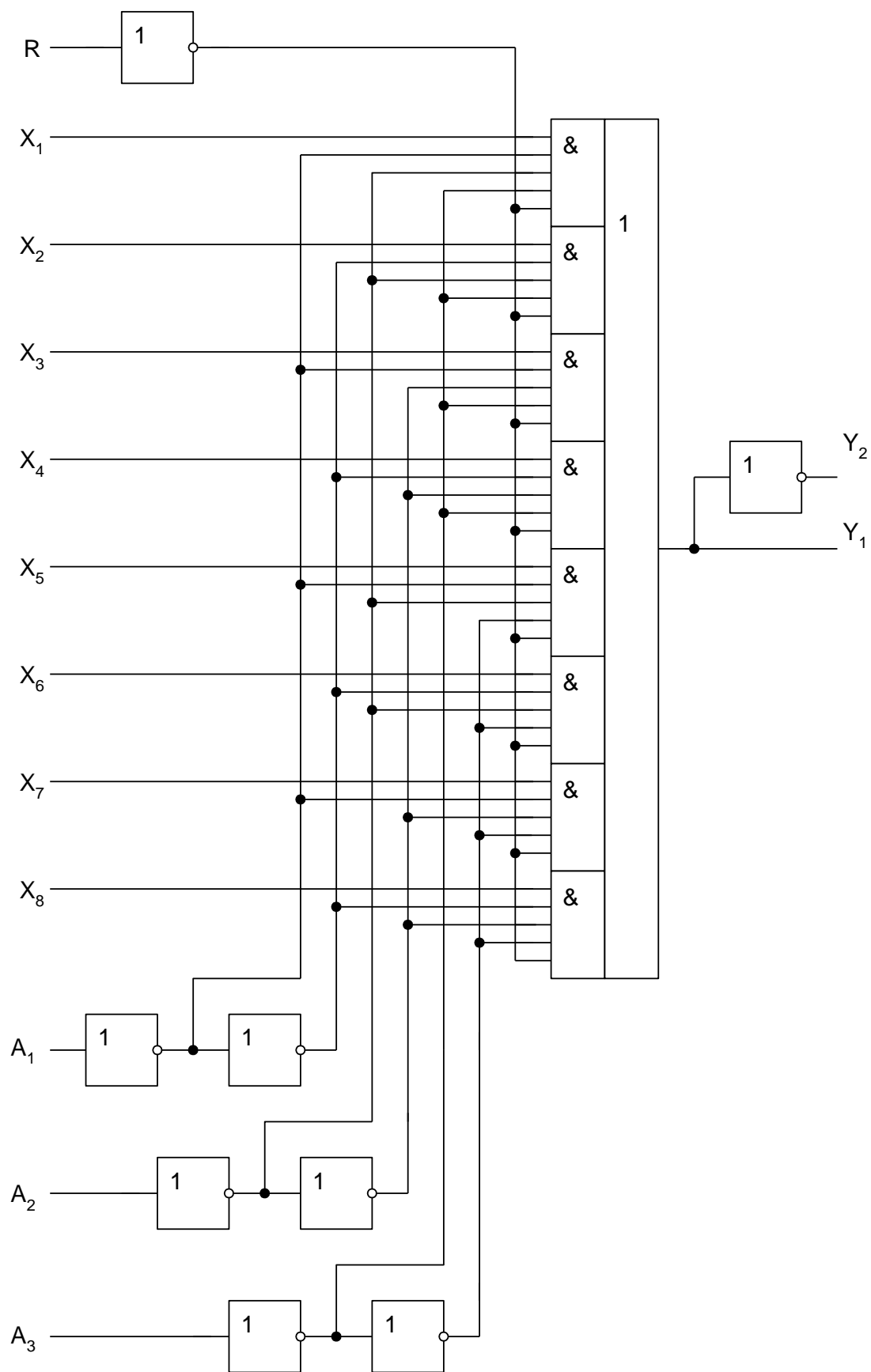


Рисунок 5.4 - Схема цифрового коммутатора К155КП7

Преобразование параллельного кода в последовательный осуществляется аналогично. Но при этом счетные импульсы снимаются с импульсного генератора (выход “R”), а наблюдение кода на выходе с коммутатора производится на осциллографе (рисунок 5.6).

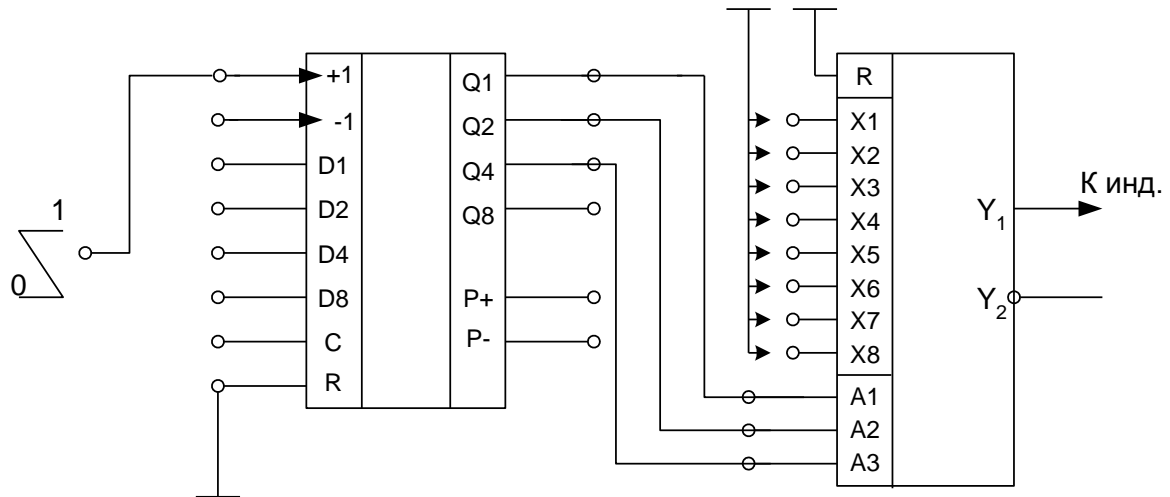


Рисунок 5.5 - Схема контроля функционирования коммутатора

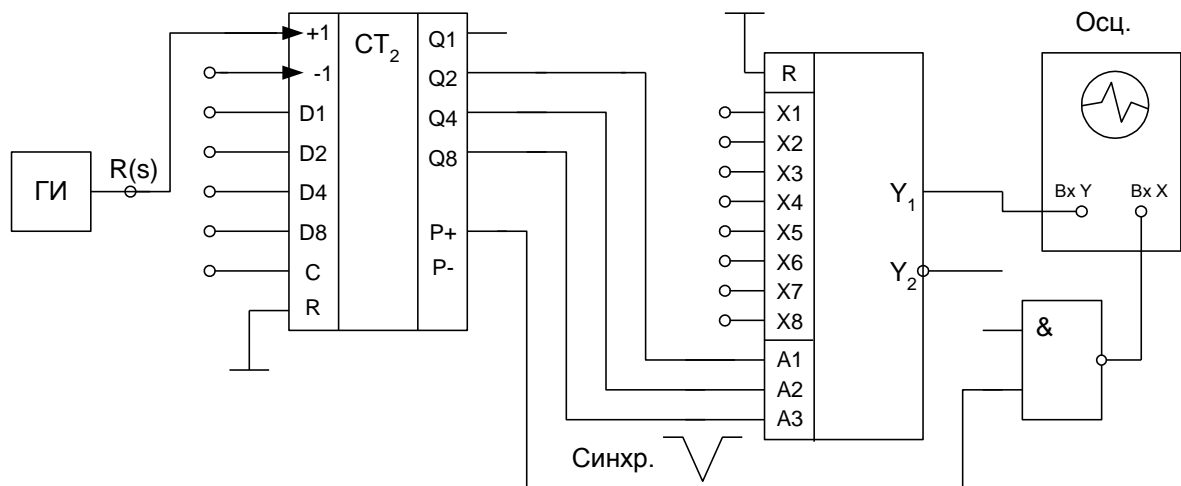


Рисунок 5.6 - Схема преобразования параллельного кода в последовательный

2 ЗАДАНИЕ И ПОРЯДОК ЕГО ВЫПОЛНЕНИЯ

2.1 Исследовать режим установки регистра в “0”

Для этого подать на установочный вход R уровень логического “0”. Устанавливая различные значения уровней S_1 , S_0 , D_R , D_L , D_0 – D_7 , записать состояния входов Q_0 – Q_7 . Индикация состояния выходов осуществляется при помощи светодиодов. Свечение диодов показывает “1”, отсутствие свечения – “0”.

2.2 Исследовать работу регистра в режиме параллельного занесения информации

Для этого установить на входах S_1 , S_0 и R уровни логической “1”. Уровень логической “1” устанавливается на всех входах (установочных и информационных) отключением их от источников сигналов.

Установить на информационных входах параллельный код ($D_0=D_2=D_4=D_6=D_7=1$, $D_1=D_3=D_5=0$). Если регистр, при включении питания оказался не в нулевом состоянии, то следует предварительно произвести установку в “0” подачей на R “0”. Включить тактирующий импульс (0/1) и зафиксировать информацию на выходе. Сделать несколько переключений тактирующего импульса и убедиться в том, что введенная в регистр информация не изменится.

Повторить опыт при других значениях входной информации.

2.3 Исследовать регистр в режиме последовательного ввода информации и сдвига вправо

Записать параллельным кодом информацию, заданную в пункте 2 (11010101). Подать на вход S_1 уровень логического “0”, оставив на входе S_0 “1”.

При помощи тумблера источника логических уровней C подавать тактирующие импульсы на вход регистра, наблюдая по светодиодам сдвиг информации в сторону старших разрядов. Последовательный ввод информации осуществлять на вход D_R от другого источника логических уровней C . Результаты исследования свести в таблицу 5.2.

Сравнить результаты, записанные в таблице 5.2, с временными диаграммами (рисунок 5.2).

2.4 Исследовать регистр в режиме последовательного ввода информации и сдвига влево

Для этого подать на входы регистра

$R = 1$; $D_R = 0$; $D_0 = D_1 = D_2 = D_7 = 1$; $D_3 = D_4 = D_5 = D_6 = 0$; S_1, S_0, D_L (таблица 5.2).

Подавая тактирующие импульсы аналогично п. 3 и последовательную информацию на вход D_L , записать состояния выходов регистра в таблицу 5.3.

Таблица 5.2 – Результаты исследования триггера

$$\mathbf{R} = \mathbf{1}; \mathbf{D}_L = \mathbf{0}; \mathbf{D}_0 = \mathbf{D}_2 = \mathbf{D}_4 = \mathbf{D}_6 = \mathbf{D}_7 = \mathbf{1}; \mathbf{D}_1 = \mathbf{D}_3 = \mathbf{D}_5 = \mathbf{0}$$

Номер тактовых импульсов

S₁
S₀
D_R
Q₀
Q₁
Q₂
Q₃
Q₄
Q₅
Q₆
Q₇

- 1
- 2
- 3
- 4
- 5
- 6
- 7
- 8
- 9
- 10

1
0
0
0
0
0
0
0
0
0
0
1
1
1
1
1
1
1
1
1
1
1

0
0
1
0
0
0
0
0
0
0
1

Таблица 5.3 - Результаты исследования триггера

$R = 1; D_R = 0; D_0 = D_1 = D_2 = D_7 = 1; D_3 = D_4 = D_5 = D_6 = 0;$

| Номер тактовых импульсов | S_1 | S_0 | D_L | Q_0 | Q_1 | Q_2 | Q_3 | Q_4 | Q_5 | Q_6 | Q_7 | Параллель- ный ввод информа- ции |
|--------------------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|---|
| 1 | 1 | 1 | 0 | | | | | | | | | |
| 2 | 1 | 0 | 0 | | | | | | | | | |
| 3 | 1 | 0 | 0 | | | | | | | | | |
| 4 | 1 | 0 | 0 | | | | | | | | | |
| 5 | 1 | 0 | 0 | | | | | | | | | |
| 6 | 1 | 0 | 1 | | | | | | | | | |
| 7 | 1 | 0 | 0 | | | | | | | | | |
| 8 | 1 | 0 | 1 | | | | | | | | | |
| 9 | 1 | 0 | 0 | | | | | | | | | |
| 10 | 1 | 0 | 0 | | | | | | | | | |

Сравнить результаты исследования, записанные в таблице 5.3, с временными диаграммами, приведенными на рисунке 5.3.

2.5 Исследовать регистр в режиме хранения информации

Переход к режиму хранения внесенной в регистр информации производится установкой $S_1=S_0=0$ в момент, когда тактирующий сигнал находится в состоянии логической “1”.

Внести в регистр любой параллельный код (при $S_1=S_0=1$) переключением тактирующего сигнала в “1”. Записать состояния выходов. При $C=1$ установить $S_1=S_0=0$. После этого, манипулируя установками D_0-D_7 , D_R , D_L и подавая при этом тактирующие импульсы, убедиться в неизменности состояния выходов.

Повторить опыт перехода к режиму хранения при $C=0$. Объяснить искажение занесенной в регистр информации.

2.6 Произвести контроль функционирования коммутатора К155КП7

Собрать схему (рисунок 5.5). Установить на входе коммутатора логическую “1”, на остальных входах логический “0”. Переключение тумблера датчика логических уровней, подключенного к входу счетчика, установить последовательно все кодовые комбинации на адресных входах коммутатора. Записать состояния всех входов и выходов коммутатора.

Аналогичные операции произвести для $X_2=1$, затем $X_3=1$ и т.д. На основании полученных данных заполнить таблицу 5.4.

Таблица 5.4 – Результаты контроля коммутатора

| A_1 | A_2 | A_3 | X_1 | X_2 | X_4 | X_5 | X_6 | X_7 | X_8 | Y_1 | Y_2 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | |

Используя результаты эксперимента, объяснить по схеме рисунка 5.4 прохождение сигнала через коммутатор.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Из каких элементов состоит регистр K155ИР13?
2. Сколько выходов имеет регистр K155ИР13?
3. Сколько входов имеет регистр K155ИР13? Сформулируйте назначение каждого входа.
4. На каких триггерах выполнен регистр K155ИР13? Представьте логику функционирования данного триггера в виде таблицы переходов.
5. На каких элементах выполнена логическая схема записи информации? Поясните принцип ее функционирования.
6. На каких элементах выполнена логическая схема установки режимов? Поясните принцип ее функционирования.
7. Назовите режимы работы регистра K155ИР13.
8. Сформулируйте условия установки регистра в “0”. Покажите по схеме (рисунок 5.1), как эта установка осуществляется.
9. Сформулируйте и покажите по схеме (рисунок 5.1) порядок последовательного ввода информации со сдвигом влево, со сдвигом вправо.
10. Сформулируйте и покажите по схеме (рисунок 5.1) порядок параллельного ввода информации в регистр K155ИР13.
11. Сформулируйте условие хранения информации. Как оно реализуется в схеме.
12. Какие функции может выполнить регистр K155ИР13?
13. Начертите условное обозначение цифрового коммутатора K155КП8, объясните назначение входов.

СПИСОК ЛИТЕРАТУРЫ

1. Гутников В.С. Интегральная электроника в измерительных устройствах. - Л.: Энергия, 1980.
2. Алексенко А.Г., Шагурин И.И. Микросхемотехника. – М.: “Радио и связь”, 1982, с. 208-210.
3. Титце У., Шенк К. Полупроводниковая схемотехника. - М.: Мир, 1982, с. 326, 354-356.
4. Гусев В.Г. Гусев Ю.М. Электроника. – М.: Высш. шк., 1982.
5. Шило В. Л. Популярныe цифровые микросхемы. - М.: Радио и связь, 1987. - 352 с.

Навчальне видання

Методичні вказівки до лабораторних робіт
з курсу "Основи електроніки" (частина 2)
для студентів спеціальності 7.091302
“Метрологія та вимірювальна техніка”
денної та заочної форм навчання
Російською мовою

Укладачі: НІКОНОВ Леонід Кузьмич
ДАВИДЕНКО Олександр Петрович,
МИГУЩЕНКО Руслан Павлович,
КОМІРНИЙ Андрій Сергійович

Відповідальний за випуск Т.Г. Осіна

Роботу до друку рекомендував О.І. Рогачов

В авторській редакції

План 2003р., п

Підписано до друку . Формат 60×84 1/16. Папір офсет. Друк – ризографія.
Гарнітура Таймс. Умов. друк. арк. . Облік. – вид. арк. .
Наклад 100 прим. Ціна договірна.

Видавничий центр НТУ “ХПІ”, 61002, Харків, вул. Фрунзе, 21
Свідоцтво про державну реєстрацію ДК №196 від 10.07.2000р.

Друкарня НТУ “ХПІ”